

12385

출력 일자: 2004/6/1

발송번호 : 9-5-2004-021323348

수신 : 서울 종로구 내자동 219 한누리빌딩(김&

발송일자 : 2004.05.31

장 특허법률사무소)

재출기일 : 2004.07.31

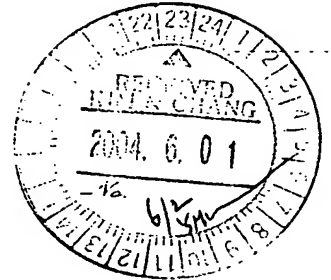
주성민 귀하

110-053

→ Date of Mailing

[Korean Office Action]

## 특허청 의견제출통지서



출원인 명칭 주식회사 메디슨 (출원인코드: 119980013884)

주소 강원 홍천군 남면 양덕원리 114

대리인 성명 주성민 외 1 명

주소 서울 종로구 내자동 219 한누리빌딩(김&장 특허법률사무소)

출원번호 10-2002-0043133

발명의 명칭 아날로그 멀티플렉서를 이용한 디지털 수신 접속 장치

이 출원에 대한 심사결과 아래와 같은 거절이유가 있어 특허법 제63조의 규정에 의하여 이를 통지하오니 의견이 있거나 보정이 필요할 경우에는 상기 제출기일까지 의견서[특허법시행규칙 별지 제25호의2서식] 또는/및 보정서[특허법시행규칙 별지 제5호서식]를 제출하여 주시기 바랍니다.(상기 제출기일에 대하여 매회 1월 단위로 연장을 신청할 수 있으며, 이 신청에 대하여 별도의 기간연장승인 통지는 하지 않습니다.)

### [이유]

1. 본원특허청구범위 제1,3,4항은 초음파영상시스템에 사용되는 디지털 수신 접속 장치에 있어서 다수의 입력을 받는 채널모듈 각각에는 멀티플렉싱하는 수단을 구성한 것에 그 특징이 있는 것입니다.

그러나, 일본특허공개평8-56944호('96.3.5공개, 인용발명1)에서도 다수의 입력신호를 멀티플렉싱하고 디레이시키는 221-22n 멀티플렉싱수단의 구성과 각 멀티플렉싱된 신호가 결과적으로 접속장치(24)에 의해 디지털 형식으로 접속되는 구성이 제시되어 있어 본원 제1,3,4항은 당업자정도라면 상기 인용발명으로부터 용이하게 발명할 수 있는 것으로 특허법 제29조제2항의 규정에 의하여 특허를 받을 수 없습니다.

2. 본원 제2,5항은 멀티플렉싱수단을 디지털이 아닌 아날로그 방식으로 구성한 것을 청구하고 있으나,

한국특허공개 2002-60573호('02.7.18공개, 인용발명2)에서는 일군의 초음파 펄스로부터 반사되어 트랜스 듀서 어레이에서 수신하는 초음파 신호에 적응적 지연 프로파일을 적용하여 복수개의 예비 주사선 데이터를 수신집속하는 장치가 제시되어 있고 이 구성에서 다수개의 FIFO를 사용하고 있으며 도면2에서는 변환자배열(10)의 구성 뒤쪽으로 A/D의 구성이 있으므로 변환자배열에서의 다수 입력신호가 아날로그 방식으로 처리되고 있음을 예상할 수 있습니다.

따라서, 본원 제2,5항은 1당업자정도라면 상기 인용발명으로부터 용이하게 발명할 수 있는 것으로 특허법 제29조제2항의 규정에 의하여 특허를 받을 수 없습니다

### [참 부]

첨부 1 일본공개특허공보 평08-056944호(1996.03.05) 1부.

첨부2 한국공개특허공보 2002-60573호(2002.07.18) 1부. 끝.

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-056944

(43)Date of publication of application : 05.03.1996

(51)Int.Cl.

A61B 8/00  
G01S 7/523  
G01S 15/89  
G03H 3/00

(21)Application number : 07-202324

(71)Applicant : HEWLETT PACKARD CO &lt;HP&gt;

(22)Date of filing : 08.08.1995

(72)Inventor : LIPSCHUTZ DAVID

(30)Priority

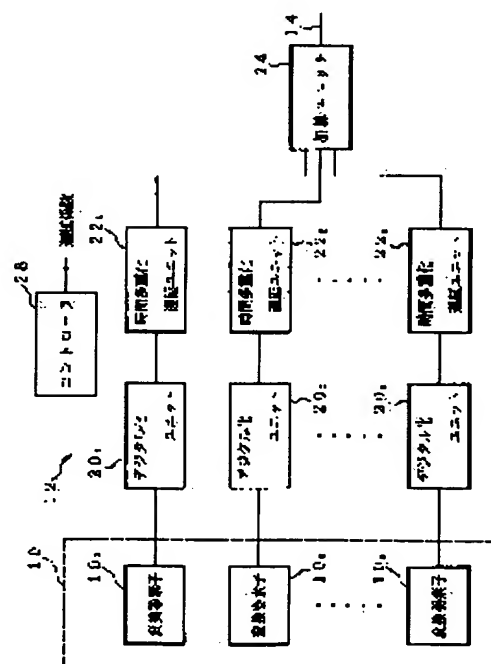
Priority number : 94 287689 Priority date : 09.08.1994 Priority country : US

## (54) ULTRASONIC BEAMFORMER

(57)Abstract:

**PROBLEM TO BE SOLVED:** To provide an ultrasonic beamformer by which imaging of an object and an image with high resolution in scanning of ultrasonic beam can be obtained by a simple circuit construction and at a low cost.

**SOLUTION:** Energy reflected from a scanning object of ultrasonic beam is received by converting elements 101-10n of a phased array ultrasonic converter 10 to be converted into an electric signal. The signal is converted into a digital sample by digitalization units 201-20n. The digital sample is delayed by a time multiplexing delay units 221-22n for a delayed amount to form a stream of the digital sample. The stream is added by an adding unit 24, to form a stream of the time multiplexing output sample which expresses two or more received beams and to obtain an image of human body tissues.



## LEGAL STATUS

[Date of request for examination]

08.08.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平8-56944

(43)公開日 平成8年(1996)3月5日

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
A 6 1 B 8/00		7638-2 J		
G 0 1 S 7/523				
15/89				
		8907-2 F	G 0 1 S 7/ 52	F
		8907-2 F	15/ 89	B
		審査請求 未請求	請求項の数 1	〇 L (全 24 頁) 最終頁に続く

(21)出願番号 特願平7-202324

(22)出願日 平成7年(1995)8月8日

(31)優先権主張番号 2 8 7 - 6 8 9

(32)優先日 1994年8月9日

(33)優先権主張国 米国 (U S)

(71)出願人 590000400

ヒューレット・パカード・カンパニー  
アメリカ合衆国カリフォルニア州パロアル  
ト ハノーバー・ストリート 3000

(72)発明者 デイヴィッド・リップシュッツ

アメリカ合衆国マサチューセッツ州レキシ  
ントン コロニーロード 62

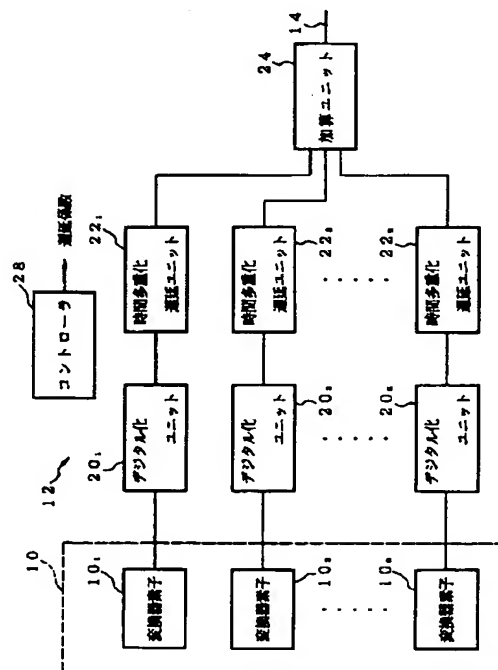
(74)代理人 弁理士 萩野 平 (外5名)

(54)【発明の名称】 超音波ビームフォーマ

(57)【要約】

【課題】 複数の超音波ビームフォーマを並列動作させるのに回路構成が簡潔で低廉で、かつ超音波ビームの走査の対象物の画像化と高解像度の超音波ビームフォーマを提供すること。

【解決手段】 超音波ビームの走査対象から反射されたエネルギーをフェーズド・アレイ超音波変換器10の変換素子10<sub>1</sub>～10<sub>n</sub>で受信して電気信号に変換し、デジタル化ユニット20<sub>1</sub>～20<sub>n</sub>でデジタル・サンプルに変換し、時間多重化遅延ユニット22<sub>1</sub>～22<sub>n</sub>でデジタル・サンプルを時間多重化した遅延量だけ遅延してデジタル・サンプルのストリームを生成し、このストリームを加算ユニット24で加算して2つあるいはそれ以上の受信ビームを表す時間多重出力サンプルのストリームを形成して、人体の組織の画像を得る。



1

## 【特許請求の範囲】

【請求項1】 超音波変換器アレイ（10）から受け取った信号を処理するための超音波ビームフォーマ（12）であって、

それぞれが前記の超音波変換器アレイ（10）の素子からの信号を受け取る複数の処理チャンネル、

受け取った信号をサンプリング・レート $f$ でデジタル・サンプルに変換するデジタル化手段（20<sub>1</sub>、20<sub>2</sub>、・・・、20<sub>n</sub>）、

遅延係数に応じて前記のデジタル・サンプルを時間多重化した遅延量だけ遅延して2つあるいはそれ以上の受信ビームを形成するための遅延され、時間多重化されたデジタル・サンプルのストリームを生成する時間多重遅延手段（22<sub>1</sub>、22<sub>2</sub>、・・・、22<sub>n</sub>）、

前記の遅延され時間多重化されたデジタル・サンプルを加算して前記の2つあるいはそれ以上の受信ビームを表わす時間多重出力サンプルのストリームを形成

する加算手段（24）、前記の遅延係数を前記の各処理チャンネル内の時間多重遅延手段（22<sub>1</sub>、22<sub>2</sub>、・・・、22<sub>n</sub>）に供給する係数発生器（28）からなる超音波ビームフォーマ。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明はフェーズド・アレイ・ビーム・ステアリングおよびフォーカシングを用いる超音波画像化装置に関し、より詳細には受け取った2つあるいはそれ以上のビームを時間多重化を用いて同時に処理する超音波ビームフォーマに関する。

## 【0002】

【従来の技術】フェーズド・アレイ超音波画像化装置では、超音波変換器は変換器素子のアレイを有する。かかる装置はそれぞれがこれらの変換器アレイ素子の1つに接続された送信器と受信器を有する $n$ 個の並列なチャンネルを有する。それぞれの送信器は変換器素子を介して画像化すべき物体（通常は人体）に超音波パルスを送出する。送出された超音波エネルギーはそれぞれのアレイ素子から送出された超音波パルスに対して送出されたエネルギーが所望の点に構築的に加わるように遅延を加えることによって方向付けおよび集束される。パルスは体内のさまざまな構造や組織によって部分的に変換器アレイに反射される。

【0003】受け取られた超音波エネルギーの方向付けと集束は逆の方法で行なわれる。物体すなわち構造から反射された超音波エネルギーは異なる時点でアレイ要素に到達する。受信された信号は受信ビームフォーマ内で増幅、遅延および加算される。それぞれの素子に対する遅延は、受け取られたビームが所望の点に集束するように選択される。遅延は超音波エネルギーが受け取られるとき、ビームを徐々に深い位置あるいは領域に集束するように動的に変化させることができる。送出されたビーム

2

は身体のある領域を走査し、ビームフォーマによって生成された信号が処理されてその領域の画像が生成される。

## 【0004】

【発明が解決しようとする課題】超音波画像化における重要な要素（consideration）は画像シーケンス・レートすなわちフレーム・レートである。フレーム・レートは人体内での超音波エネルギーの伝播速度、画像化しようとする深さ、および画像の形成に用いられる走査線の数によって限定される。フレーム・レートは血流のカラー・ドップラ画像化および高解像度画像の生成において特に重要である。

【0005】フレーム・レートを増大する方法の1つに、送出されたパターンの範囲内で2つ以上の方向から同時にビームを受け取る方法がある。高いフレーム・レートを得る他の方法においては、いくつかの広い間隔をおいた受信ビームが同時に処理される。複数の受信ビームの第3の応用では、「通常の」送出パターンと多数の受信ビームを用いて合成アパーチャ・データ・セットを近似的に計算し、この合成アパーチャ・データ・セットからいくつかの有益な画像強調を計算することができる。従来の装置では、並列動作する複数のビームフォーマによって複数の受信ビームが形成される。しかし、それぞれのビームフォーマに大量な回路が必要であるため、この方法はコストが高く実用的ではない。

【0006】Augustine（オーガスティン）の1987年2月24日付米国特許第4,644,795号には、 $\sin(\pi x)/\pi x$  送出励起を用い、受信信号が並列遅延路に入れられるマルチライン超音波ビームフォーマが開示されている。

【0007】Perten（パーテン）他の1988年12月13日付米国特許第4,790,320号には、デュアル・ポートRAM等の遅延処理装置が並列ビーム形成を同時に行なうためのインクリメンタルな遅延を有する超音波画像化装置が開示されている。

【0008】O'Donnell（オードネル）の1989年12月12日付米国特許第4,886,069号には、帰還信号を復調し、受信された信号の位相を回転させることによってMの異なるビーム方向からの帰還信号を同時に得る技術が開示されている。

【0009】Fidel（フィデル）の1986年11月11日付米国特許第4,622,634号には、第1のメモリと第2のメモリにベクトル情報が交互に記憶される超音波ベクトルの並列処理装置が開示されている。

【0010】Pesque（ペスキュウ）の1990年1月9日付米国特許第4,893,283号には、送信器が非常に短い期間にMのビームを順次に送出し、受信器がこのMのビームのエコーを同時に受け取る超音波装置が開示されている。

【0011】Harrison（ハリソン）他の1992年6月

9 日付米国特許第 5, 121, 361 号には、交互に動作して異なる領域に集光する第 1 および第 2 のプログラム可能なビーム集束モジュールを有するプログラム可能なビームフォーマが開示されている。この場合、1 つのビームだけが形成されるように見える。

【0012】Robinson (ロビンソン) の 1981 年 2 月 24 日付米国特許第 4, 252, 026 号には、複数のビーム形成回路によって送出パルスのそれぞれについて受信ビームが提供される超音波装置が開示されている。

【0013】McKeighen (マッキヘン) 他の 1979 年 10 月 30 日付米国特許第 4, 173, 007 号には、独立した読み出しおよび書き込み能力を有してダイナミックに変化する遅延を生成するメモリを用いた超音波画像化装置が開示されている。この遅延は書き込みあるいは読み出しアドレス・ポインタを変更することによって変化させることができる。

【0014】

【課題を解決するための手段】本発明によれば、超音波変換器アレイから受け取った信号を処理する超音波ビームフォーマは、それぞれが変換器アレイの 1 つの素子からの信号を受け取る複数の処理チャンネルを有する。それぞれの処理チャンネルは受信信号をサンプリング・レート  $f$  でデジタル・サンプルに変換するデジタル化手段と遅延係数に応じてデジタル・サンプルを時間多重化された遅延量だけ遅延して、遅延された時間多重サンプルを生成して 2 つあるいはそれ以上の受信ビームを生成する時間多重遅延手段を有する。この超音波ビームフォーマはさらに遅延された時間多重デジタル・サンプルを加算して、2 つあるいはそれ以上の受信ビームを表わす時間多重出力サンプルのストリームを形成する加算手段と各処理チャンネルの時間多重遅延手段に遅延係数を供給する係数発生器を有する。

【0015】好適には、時間多重遅延手段はデジタル・サンプルをサンプリング期間  $1/f$  に等しい増量で量子化された選択された遅延量だけ遅延するための遅延手段からなる。この遅延手段は好適にはデジタル・サンプルを記憶するためのメモリ手段、デジタル・サンプルをメモリ手段に書き込む手段、およびメモリ手段の時間多重化された遅延に対応する位置からデジタル・サンプルを読み出す時間多重読み出し手段からなる。第 1 実施例において、このメモリ手段は 2 ポート・ランダム・アクセス・メモリからなる。読み出し手段は処理される各受信ビームのための読み出しカウンタと、各クロック・サイクル中に処理される受信ビームを表わすインターリーブ制御信号に応じて選択された読み出しカウンタの出力をメモリ手段に与えるマルチプレクサ手段で構成することができる。読み出しカウンタは好適には所望の遅延に対応するメモリ手段内の位置をアドレス指定する手段を有する。好適には、時間多重遅延手段はさらに各読み出しカウンタに対応した集束遅延発生器を有する。それぞれ

の集束遅延発生器は遅延係数に応じて対応する読み出しカウンタの状態を制御する。

【0016】本発明の他の特徴は、時間多重遅延手段にさらに整数クロック遅延手段によって出力された遅延されたデジタル・サンプルを処理して、2 つ以上の主ビームを形成するための時間多重デジタル・サンプルを含む第 1 のデータ・ストリームと 2 つ以上の近接ビームを形成するための第 2 のデータ・ストリームを提供する主ビームおよび近接ビーム遅延処理手段を設けることができることである。それぞれの近接ビームは対応する主ビームを有し、またそれぞれの近接ビームはそれに対応する主ビームの所定の角度範囲内にある。主ビームおよび近接ビーム遅延処理手段は好適には遅延されたデジタル・サンプルにある一定の追加遅延を加えて第 1 にデータ・ストリームを提供する主ビーム遅延手段と遅延されたデジタル・サンプルに前に加えられた遅延を取り除いて主ビーム遅延の所定数のクロック・サイクル内にある近接ビーム遅延を加えて第 2 のデータ・ストリームを提供する近接ビーム遅延手段からなる。

【0017】第 2 の実施例では、メモリ手段は書き込みポート、第 1 の読み出しポート、および第 2 の読み出しポートを有する 3 ポート・ランダム・アクセス・メモリからなる。時間多重読み出し手段は第 1 の読み出しポートに第 1 のインターリーブされたアドレスを供給するための第 1 の読み出しアドレス制御と第 2 の読み出しポートに第 2 のインターリーブされたアドレスを供給するための第 2 の読み出しアドレス制御からなる。第 1 の読み出しポートは第 1 のインターリーブされたアドレスに応じて時間多重データ・サンプルの第 1 のストリームを供給し、第 2 の読み出しポートは第 2 のインターリーブされたアドレスに応じて時間多重データ・サンプルの第 2 のストリームを供給する。この 3 ポート・ランダム・アクセス・メモリは上述した主ビームおよび近接ビーム遅延処理回路を用いることなく 2 つの時間多重受信ビーム群を提供する。この 2 つの受信ビーム群は、主ビームと近接ビームの場合と異なり、互いに所定のオフセット角内にある必要はない。

【0018】好適には、時間多重遅延手段はさらにデジタル・サンプルを、サンプリング期間  $1/f$  より小さい増量で量子化された選択された小遅延量だけ遅延するための遅延補間器を有する。この遅延補間器は好適にはフィルタ係数に応じてデジタル・サンプルをサンプリング期間  $1/f$  より小さい増量で量子化された異なる小遅延量だけ遅延するプログラム可能な手段を有する FIR デジタル・フィルタ、小遅延制御信号に応じて FIR デジタル・フィルタにフィルタ係数を供給する手段、遅延係数に応じて小遅延制御信号を生成する手段、およびそれぞれの受信ビームを表わす連続するデジタル・サンプルの群を、異なるクロック・サイクル中に FIR デジタル・フィルタに時間多重的に与えるために記憶する手段か

らなる。

【0019】デジタル化手段は好適には受信信号を増幅する増幅器、増幅された信号を制限するリミッタ、この制限された信号から高周波成分を除去得る低域フィルタ、およびこの制限され、フィルタにかけられた信号をデジタル・サンプルに変換するアナログ／デジタル変換器からなる。このリミッタは好適にはアナログ／デジタル変換器の飽和を防止する手段を有する。低域フィルタはサンプリング・レート  $f$  に対応するカット・オフ周波数を有する。

【0020】加算手段は好適にはパイプライン構造を有し、複数の処理チャンネル群のための遅延されたデジタル・サンプルを加算して第1のクロック・サイクル中に複数の中間和を提供する加算を行ない、また第2のクロック・サイクル中にこの複数の中間和を加算して複数の処理チャンネル群を表わす和を形成する手段を有する。この加算手段は好適にはさらに処理される受信ビームの数を表わすインターリーブ係数に応じて加算手段の出力に異なるパイプライン遅延を加えるプログラム可能な手段を有する。

【0021】

【発明の実施の形態】図1には本発明の超音波変換器アレイと超音波ビームフォーマとしてのデジタル・フェーズド・アレイ超音波ビームフォーマの概略ブロック図を示す。フェーズド・アレイ超音波変換器10は変換器素子10<sub>1</sub>, 10<sub>2</sub>, ..., 10<sub>n</sub>を有する。これらの変換器素子は通常直線状あるいは曲線状のアレイに構成される。超音波変換器10は通常最大で128の変換器素子を有する。

【0022】超音波変換器10は画像化される物体に超音波エネルギーを送出し、反射された超音波エネルギーを受け取る。医療用の超音波画像化装置では、反射は人体のある領域内のさまざまな構造や組織から受け取られる。図1には簡略化のための超音波スキャナの送信器部分が省略されているが、同部分は図3に示されている。各変換器素子に加えらるるパルスを適当に遅延することによって、集束された超音波ビームが患者に送出される。この送出されたビームはそれぞれの変換器素子に関係する遅延を変化させることによって集束および方向付けされる。

【0023】患者の体内のある特定の点から反射された超音波エネルギーは各変換器要素によって異なる時点で受け取られる。変換器素子10<sub>1</sub>, 10<sub>2</sub>, ..., 10<sub>n</sub>のそれぞれは受け取った超音波エネルギーを電気信号に変換し、この電気信号は受信ビームフォーマ12に供給される。受信ビームフォーマ12は、受信感度パターンが制御されることによって受け取られた超音波エネルギーの集束と方向付けが行なわれるようにこの電気信号を処理する。超音波変換器10に対する焦点の深さと方向は各変換器素子からの受信信号を適当に遅延することによ

って時間とともに動的に変化させることができる。受信ビームフォーマ12は各変換器素子に対応する独立した処理チャンネルを有する。

【0024】超音波変換器、送信器、および受信ビームフォーマは複数の走査線に沿って超音波エネルギーを送出し受け取るフェーズド・アレイ超音波スキャナの部分をなす。扇形走査パターン、線形走査パターンおよびその他の当業者に周知の走査パターンを用いることができる。受信ビームフォーマ12の出力はそれぞれの走査線に沿って受け取られた超音波エネルギーを表わす一連のデジタル・データ・サンプルである。ビームフォーマ出力14が周知の技術で処理されて走査される領域の超音波画像が生成される。

【0025】変換器素子10<sub>1</sub>, 10<sub>2</sub>, ..., 10<sub>n</sub>からの電気信号は受信ビームフォーマ12の個々の処理チャンネルに与えられる。それぞれの処理チャンネルはデジタル化ユニット20<sub>i</sub>と時間多重遅延ユニット22<sub>i</sub>を有する。 $i$ は1から $n$ の間で変動する。変換器素子10<sub>i</sub>の出力はデジタル化ユニット20<sub>i</sub>の入力に与えられ、デジタル化ユニット20<sub>i</sub>の出力は時間多重遅延ユニット22<sub>i</sub>の入力に与えられる。同様に、変換器素子10<sub>2</sub>の出力はデジタル化ユニット20<sub>2</sub>の入力に与えられ、デジタル化ユニット22<sub>2</sub>の出力は時間多重遅延ユニット22<sub>2</sub>の入力に与えられる。時間多重遅延ユニット22<sub>1</sub>, 22<sub>2</sub>, ..., 22<sub>n</sub>の出力は加算ユニット24の入力に与えられる。計数発生器であるコントローラ28が遅延係数と他の制御情報をそれぞれの処理チャンネルに供給する。一般に、それぞれのデジタル化ユニット20<sub>i</sub>は変換器素子からのアナログ信号をこのアナログ信号を表わす一連のデジタル・サンプルに変換する。時間多重遅延ユニット22<sub>i</sub>はそれぞれのデジタル・サンプルに遅延を与える。この遅延は受信感度パターンが所望の方向に方向付けされ、所望の深さで集束するように選択される。

【0026】本発明の重要な特徴は、デジタル・サンプルに与えられる遅延は複数の受信ビームに対応し、遅延されたデジタル・サンプルのストリームが複数の受信ビームを同時に表わすように時間多重化される。したがって、受信ビームフォーマ12は複数の受信ビームの時間多重処理を実行する。時間多重ビームフォーマによって処理できる受信ビームの数は時間多重ビームフォーマのクロック・レートと用いられる変換器の周波数によって決まる。時間多重ビームフォーマによって処理される受信ビームはすべて超音波エネルギーの送出パターン内になければならない。この条件はすべての受信ビームを含むだけの幅を持つ1つのビームを送出する、複数のビームを同時に送出する、あるいは複数のビームを高速に連続して送出することによって満たされる。

【0027】超音波画像化装置では、異なる周波数を有する異なる変換器を異なるアプリケーションに用いるこ

とができる。時間多重ビームフォーマのクロック・レートは用いられる最も周波数高い変換器および用いられる可能性のある保護周波数帯のナイキスト条件を満たすものでなければならない。たとえば、最も周波数の高い変換器が100%の分数帯域幅(5MHzから15MHz)を有する10MHzのフェーズド・アレイ変換器である場合、40MHzのクロック・レートをを用いることができる。40MHzのクロック・レートで動作するデジタル・ビームフォーマは10MHzの変換器に対して1つの受信ビームを処理することができる。このビームフォーマは同じクロック・レートをを用いて、5MHzの変換器の場合には2つの受信ビーム、3.33MHzの変換器の場合3つの受信ビーム、2.5MHzの変換器の場合4つの受信ビームの時間多重処理を行なうことができる。周波数の低い7つの変換器については、クロック・レートをを変えることなく、また受信ビームフォーマのハードウェアを増やすことなく複数の受信ビームを処理することができる。したがって、用いられる変換器に応じて、このビームフォーマによって1本から4本の受信ビームを処理することができる。同時に処理することのできるビームの異なる数はクロック・レートと変換器の周波数の関係に応じて変化することがわかる。後に説明するが、ビームフォーマの回路の一部を複製することによって、処理できるビームの数を増やすことができる。

【0028】図2に受信ビームフォーマ12の好適なアーキテクチャを示す。受信器基板30<sub>1</sub>、30<sub>2</sub>、・・・、30<sub>7</sub>はそれぞれフェーズド・アレイ変換器10の16の変換器素子からの信号を処理する。128の変換器素子を有する好適な変換器には8つの受信基板が用いられる。係数発生器32が始めの4つの受信器基板30<sub>1</sub>、30<sub>2</sub>、30<sub>3</sub>および30<sub>4</sub>に対する遅延係数を供給し、係数発生器34が残りの4つの受信器基板30<sub>5</sub>、30<sub>6</sub>、30<sub>7</sub>および30<sub>8</sub>に対する遅延係数を供給する。それぞれの受信器基板は16の変換器素子のためのデジタル化ユニット20<sub>1</sub>と時間多重遅延ユニット22<sub>1</sub>を有する。また、それぞれの受信器基板は次に説明する加算ユニット24の一部を含む。

【0029】受信器基板30<sub>1</sub>、30<sub>2</sub>、・・・、30<sub>8</sub>と係数発生器32および34はXバス40とYバス42によって相互接続されている。Xバス40およびYバス42は受信器基板の間に、受信器基板間のバスにクロック同期されたレジスタを設けたデージー(daisy)チェーン構成で設けられており、したがってそれぞれの受信器基板は次の受信器基板だけを駆動する。その結果、リードの長さの問題と論理伝播遅延の問題を防止することができる。受信中、Xバス40は最大で4つの時間多重主ビームの遅延されたデータ・サンプルを搬送し、Yバス42は最大で4つの時間多重近接ビームの遅延されたデータサンプルを搬送する。係数発生器32および34は遅延係数を記憶するためのキャッシュメモリを有

し、超音波エネルギーの送出の前にXバス40およびYバス42上に関係する受信器への遅延係数を送る。制御CPU44が係数発生器32および34と受信器基板30<sub>1</sub>、30<sub>2</sub>、・・・、30<sub>8</sub>を制御する。

【0030】ビームフォーマのXバス出力50はデマルチプレクサ52に入力され、Yバス出力54はデマルチプレクサ56に入力される。デマルチプレクサ52および56はXバス出力50およびYバス出力54上の時間多重デジタル・サンプルと同期したインターリーブ状態信号によって制御される。それぞれのバス出力が多重化解除されてそれぞれが異なる受信ビームを表わす別個の信号が最大で4つ生成される。各受信ビームの信号が周知の方法で処理されて、超音波画像が生成される。最大で8つの受信ビームが同時に生成されるため、超音波画像のフレーム・レートは最大で8倍まで大きくなる。前述したように、本発明の範囲内であれば、処理できるビームの数はこれより多くすることも少なくすることもできる。

【0031】図3には、図1に示す受信ビームフォーマ12内の各処理チャンネルのデジタル化ユニット20<sub>1</sub>の実施例のブロック図を示す。変換器素子10<sub>1</sub>が送信/受信スイッチ60に電気的に接続されている。送信/受信スイッチ60の第1のポートが可変利得増幅器62の入力に接続されている。送信器64が送信/受信スイッチ60の第2のポートに接続されている。当該技術分野で周知の通り、この送信/受信スイッチ60は送信器64が通電されるとき増幅器62への入力を保護する。増幅器62は変換器素子10<sub>1</sub>からの低レベルのアナログ信号を増幅し、リミッタ68の入力に増幅された信号を供給する。増幅器62の利得制御は、当該技術分野で周知の通り、受信中の時間利得制御(TGC)と全体的な利得の制御を行なうのに用いられる。リミッタ68の出力は低域フィルタ70を介してアナログ/デジタル変換器72の入力に接続される。アナログ/デジタル変換器72は変換器信号を、装置に用いられる最も周波数の高い変換器および所望の保護周波数帯に対するナイキスト条件を満たすサンプル・クロック・レートでサンプリングする。前述したように、好適なクロック・レートは約40MHzである。アナログ/デジタル変換器72の出力はこのサンプル・クロック・レートによるデジタル・データ・サンプルのストリームである。

【0032】低域フィルタ70はアナログ信号の高周波成分によるデータ・サンプルのエイリアスの発生を防止する。低域フィルタ70は変換器の周波数とビームフォーマに用いられるインターリーブ係数に応じたカットオフ周波数を有する。たとえば、40MHzのクロック・レートと10MHzの変換器を用いて1つのビームを形成する場合、低域フィルタ70は15MHzのコーナ周波数を有する。同じクロック・レートをを用いて、5MHzの変換器で2つの受信ビームの時間多重処理を行なう



場合、低域フィルタ70のコーナ周波数は7.5MHzとすることができる。同様に、受信ビームが3つである場合、低域フィルタ70のコーナ周波数は5MHz、受信ビームが4つである場合3.75MHzとすることができる。

【0033】アナログ／デジタル変換器72が飽和した場合、高調波が発生する。高調波はデータ・サンプルにエイリアスを発生させる可能性があり、また低域フィルタ70によっては除去されない。この問題はアナログ／デジタル変換器72に供給されるアナログ信号をアナログ／デジタル変換器72が飽和するレベルより少し低いレベルに制限するリミッタ68によって解決することができる。その結果、アナログ／デジタル変換器72の飽和によって発生する高調波を防止することができる。

【0034】図4には、各処理チャンネルの時間多重遅延ユニット22の第1実施例のブロック図を示す。デジタル化ユニット20(図3)からのデータ・サンプルは整数クロック遅延80に入力される。この整数クロック遅延80はデータ・サンプルにサンプル・クロック周期に等しい増量で量子化された遅延を加える。データ・サンプルに加えらるる遅延は複数の受信ビームに対応し、整数クロック遅延の出力を複数の受信ビームの形成に用いることができるように時間多重化される。したがって、装置が4つの受信ビームを処理するように構成される場合、線81上の整数クロック遅延80の出力は4つの受信ビームに対応するデジタル・データ・サンプルのストリームを含む。第1のクロック・サイクルにおいて、データ・サンプルは第1の受信ビームの形成に必要な量だけ遅延される。第2のクロック・サイクルにおいて、データ・サンプルは第2の受信ビームの形成に必要な量だけ遅延される。第3のクロック・サイクルにおいて、データ・サンプルは第3の受信ビームの形成に必要な量だけ遅延される。第4のクロック・サイクルにおいて、データ・サンプルは第4の受信ビームの形成に必要な量だけ遅延される。以下、この処理が繰り返される。その結果得られるデータ・ストリームは4つの受信ビームを同時に表わす時間多重データ・サンプルを含む。各受信ビームは焦点と変換器に対する角度が異なる場合がある。しかし、各受信ビームは送出される超音波エネルギーのパターン内に入っていないといけない。

【0035】整数クロック遅延80によって加えられる遅延は主集束遅延発生器82によって制御され、1つの集束遅延発生器がそれぞれの受信ビームに対応する。整数クロック遅延は主集束遅延発生器82からの主集束制御信号を受け取る。

【0036】整数クロック遅延の出力は線81上を主ビーム遅延84の入力と近接ビーム遅延86の入力に供給される。近接ビーム遅延86は主集束遅延発生器82と近接集束遅延発生器88からの集束制御信号を受け取る。主ビーム遅延84と近接ビーム遅延86は主受信ビ

ームの集合と近接受信ビームの集合を形成するのに用いられる。それぞれの近接受信ビームの角度は対応する主ビームの角度から少しずれている。主ビーム遅延84の出力は最大で4つの主ビームを形成するための時間多重データ・サンプルのストリームである。近接ビーム遅延86の出力は最大で4つの近接ビームを形成するための時間多重データ・サンプルのストリームである。したがって、主ビーム遅延84と近接ビーム遅延86は追加の受信ビームの生成を可能にするが、この場合ビーム形成のためのハードウェアを追加しなければならない。受信ビームの数が少なくてもよい場合、近接ビーム回路を削除することができる。

【0037】主ビーム遅延84の出力は遅延補間器90に供給され、近接ビーム遅延86の出力は遅延補間器92に供給される。遅延補間器90および92の機能はそれぞれのデータ・サンプルをサンプリング期間より小さい増量で量子化された選択された小遅延量だけ遅延することである。したがって、たとえば、データ・ストリーム内のそれぞれのサンプルは0、 $1/4\tau$ 、 $1/2\tau$ 、あるいは $3/4\tau$ だけ遅延することができる。ここで、 $\tau$ はサンプリング期間である。遅延補間器はサンプリング・クロック・レートを上げることなく高画質の画像を生成することを可能にする。遅延補間器90および92は整数クロック遅延80と同様に時間多重化される。データ・サンプルに加えらるる遅延は、出力が最大で4つの受信ビームを同時に表わすように時間多重化される。遅延補間器90および92の小遅延情報は近接ビーム遅延86から主小遅延制御信号および近接小遅延制御信号として受け取られる。

【0038】遅延補間器90および92の出力はアポダイゼーションおよび利得制御94、96に供給される。アポダイゼーションおよび利得制御94、96はそれぞれの受信ビームに対するデータ・サンプルの振幅を調整するための乗算器からなる。アポダイゼーション情報は、アポダイゼーションおよび利得制御94、96にアポダイゼーション係数と利得係数を供給するアポダイゼーションRAM98に記憶されている。アポダイゼーション情報は係数発生器32および34からRAM98にロードされる。制御94および96へのアポダイゼーションおよび利得係数の適用はインターリーブ状態信号によって受信ビームに同期される。時間多重遅延ユニット22の出力100および102はそれぞれ最大で4つの受信ビームを同時に表わす時間多重データ・サンプルのストリームからなる。出力100は最大で4つの主受信ビームを表わし、出力102は最大で4つの近接受信ビームを表わす。図1に示すように、それぞれの処理チャンネルの出力は加算ユニット24によって加算され、ビームフォーマ出力14が提供される。加算ユニット24の動作を次に詳細に説明する。

【0039】図5には整数クロック遅延80の一例のブ

ロック図を示す。アナログ／デジタル変換器72(図3)からのデータ・サンプルは2ポート・ランダム・アクセス・メモリ(以下、RAMという)110に入力される。2ポートRAM110はデータの同時書き込み／読み出しを可能にする。好適な実施例において、2ポートRAM110は1024の記憶場所を有し、それぞれの記憶場所はアナログ／デジタル変換器72からのデータ・サンプルを記憶するのに十分な数のビットを有する。好適な実施例では10ビット・データ・サンプルが用いられる。2ポートRAM110とその関連回路はデータ・サンプルに時間多重遅延を加える。2ポートRAM110はその出力に多重受信ビームを形成するためのデータ・サンプルのストリームを供給する。

【0040】2ポートRAM110は「循環」メモリとして動作する。メモリへのデータ・サンプルの書き込みにおいては、2ポートRAM110内の記憶場所が順次アドレス指定され、データ・サンプルがアドレス指定された記憶場所に記憶される。2ポートRAM110がいっぱいになると、書き込みアドレスは最初の記憶場所に戻り、次のデータ・サンプルはこの最初の記憶場所に書き込まれる。書き込みアドレスが再度順次指定され、データ・サンプルが前に記憶されたデータ・サンプルの上に書き込まれる。

【0041】データ・サンプルは書き込みアドレスからずれたアドレスからのデータを読み出すことによって遅延される。この読み出しアドレスもまた順次指定されて、入力データに対して遅延された出力データの連続したストリームが提供される。したがって、たとえば、読み出しアドレスが書き込みアドレスから10の記憶場所だけずれている場合、2ポートRAM110の出力に供給されるデータ・サンプルは入力データ・サンプルに対して10のクロック・サイクルだけ遅延される。

【0042】受信中に動的な集束を行なうためには、データサンプルに加えられる遅延を動的に変化させなければならない。遅延の変化は2ポートRAM110内の書き込みアドレスと読み出しアドレスの差を変化させることによって得られる。したがって、たとえば、書き込みアドレスと読み出しアドレスの差を10クロック・サイクルの遅延に相当する10の記憶場所分の差から11クロックサイクルの遅延に相当する11の記憶場所分の差に変えることができる。通常、必要な遅延は数サイクルの間は一定のままであり、その後1クロック・サイクルずつ増大される。後述するように、遅延の増大は読み出しアドレス・カウンタを「停止する」ことによって行なわれる。これによって書き込みアドレスと読み出しアドレスの差が変化する。1クロック・サイクルより小さい変化量で量子化された小遅延が次に説明するように遅延補間器によって与えられる。

【0043】上述したように、整数クロック遅延80は複数の受信ビームを時間多重的に処理することができ

る。さらに、受信ビームの数は選択することができる。一実施例においては、1本、2本、3本、あるいは4本の受信ビームを処理することができる。受信ビームの数は超音波画像化装置に用いられる変換器によって決まる。したがって、たとえば、10MHzの変換器が用いられる場合、1本の受信ビームを処理することができ、2.5MHzの変換器が用いられる場合、4本の受信ビームを処理することができる。受信ビームの数は特定の変換器のタイプに対して設定され、「インターリーブ係数」信号によって示される。

【0044】2ポートRAM110は装置クロックに同期した書き込みアドレス・カウンタ114によってアドレス指定される。インターリーブ・カウンタ116は書き込みアドレス・カウンタ114にカウント・イネーブル信号を与える。インターリーブ・カウンタ116は装置クロックに同期しており、装置クロック周波数を所望の受信ビーム数(インターリーブ係数)に応じて1、2、3あるいは4で分周する。インターリーブ係数が1本の受信ビームに対応する1であるとき、書き込みアドレス・カウンタ114が各装置クロックパルスによってインクリメントされる。インターリーブ係数が4であるとき、書き込みアドレス・カウンタ114は3つおきの装置クロックパルスによってインクリメントされる。したがって、インターリーブ係数が1である場合、すべてのデータ・サンプルが2ポートRAM110に記憶される。インターリーブ係数が4である場合、3つおきのデータ・サンプルが2ポートRAM110に記憶される。変換器素子からのアナログ信号の最大周波数が低く、またナイキスト条件を満たすのに必要なサンプリング・レートが低い場合情報の損失が発生しない。

【0045】2ポートRAM110の読み出しアドレスは読み出しアドレス・カウンタ120、122、124および126によって供給される。これらの読み出しアドレス・カウンタの1つがそれぞれの受信ビームに対応する。読み出しアドレス・カウンタ120、122、124および126の出力は4対1マルチプレクサ130を介して2ポートRAM110の読み出しアドレス入力に供給される。4対1マルチプレクサ130の状態は読み出し制御カウンタ132によって制御される。読み出し制御カウンタ132の出力は4対1マルチプレクサ130の制御入力および2行-4行復号器134の入力に供給される。2行-4行復号器134の出力は読み出しアドレス・カウンタ120、122、124および126のイネーブル入力に供給される。

【0046】読み出しアドレス・カウンタ120、122、124および126はそれぞれ2行-4行復号器134からのイネーブル信号、係数発生器32あるいは34(図2)からの初期遅延設定、主集束遅延発生器82(図4)からの主集束制御信号、および装置クロックを受け取る。初期遅延設定はある特定の受信ビームのため

のデータ・サンプルに加えるべき初期遅延を確立する。主集束制御信号は加えられる遅延を変化させる停止コマンドを含む。

【0047】整数クロック遅延80の一例において、2ポートRAM110は1024の記憶場所を有する。読み出しアドレス・カウンタ120、122、124および126のそれぞれは12ビット増分器であり、12ビット初期遅延設定を受け取る。選択された読み出しアドレス・カウンタの最上位の10ビットは4対1マルチプレクサ130を介して2ポートRAM110の読み出しアドレス入力に供給される。この構成はデータ・サンプルを最大で1024クロック・サイクルだけ遅延することを可能にする。それぞれの読み出しアドレス・カウンタの最下位の2ビットは1クロック・サイクルより小さい小遅延を表わし、整数クロック遅延には用いられない。後述するように、小遅延は遅延補間器90によって加えられる。好適な実施例において、総遅延は1/4クロック・サイクルの変化量で量子化され、1クロック・サイクルは4遅延量を表わす。ある特定の受信ビームの遅延を変化させる必要がないとき、停止コマンドは不活動状態であり、対応する読み出しアドレス・カウンタは（1クロック・サイクルに対応する）4だけインクリメントされる。これによって2ポートRAM110に与えられる読み出しアドレスは1記憶場所だけインクリメントされる。ある特定の受信ビームの遅延を変化させる必要があるとき、停止コマンドが活動状態であり、対応する読み出しアドレス・カウンタは3だけインクリメントされる。これはクロック・サイクルの3/4に対応するが、2ポートRAM110に与えられる読み出しアドレスは停止し（同じままであり）、遅延補間器90によって加えられる小遅延は総変化量が1遅延量になるように調整される。

【0048】整数クロック遅延80の動作を、4つの受信ビームの処理のタイミングを示す図6を参照して説明する。前述したように、書き込みアドレス・カウンタ114は3つおきの装置クロックパルスで状態が変化する。2ポートRAM110は所定の期間にわたる入力信号を表わすデータ・サンプルを含む、第1のクロック・サイクル中に、4対1マルチプレクサ130は読み出しアドレス・カウンタ120を選択し、そこに記憶された読み出しアドレスは2ポートRAM110の読み出しアドレスに与えられる。読み出しアドレス・カウンタ120は第1の受信ビームに必要な遅延を表わす読み出しアドレスを含む。読み出しアドレス・カウンタ120によって指定されたアドレスに記憶されたデータ・サンプルは線81上で2ポートRAM110によって供給される。第2のクロック・サイクル中に、4対1マルチプレクサ130は読み出しアドレス・カウンタ122の出力を選択し、そこに記憶された読み出しアドレスは2ポートRAM110に与えられる。読み出しアドレス・カウ

ンタ122は第2の受信ビームに必要な遅延を表わす読み出しアドレスを含む。読み出しアドレス・カウンタ122によって指定されたアドレスに記憶されたデータ・サンプルは線81上で2ポートRAM110によって供給される。同様に、読み出しアドレス・カウンタ124および126の出力は第3および第4のクロック・サイクル中に2ポートRAM110に与えられ、第3および第4の受信ビームを表わすデータ・サンプルは線81上で2ポートRAM110から供給される。その結果得られる2ポートRAM110の出力は4つの受信ビームを形成するためのデータ・サンプルが時間多重化されたシリアル・データ・ストリームである。

【0049】上述したように、読み出しアドレス・カウンタ120、122、124および126は係数発生器32、34からの初期遅延設定および主集束遅延発生器82からの停止コマンドを受け取る。それぞれの読み出しアドレス・カウンタには集束遅延発生器が設けられる。線140上で停止コマンドを時間多重化して、異なる集積回路に実装することのできる整数クロック遅延80と主集束遅延発生器82の間の相互接続の数を低減することができる。停止コマンドのアドレス指定は2行-4行復号器134によって生成されるイネーブル信号によって制御される。

【0050】当該技術分野で周知の通り、超音波アレイ内の各素子に加えられる遅延の一般式は中心素子、受信走査線の角度、焦点の範囲あるいは深度等の基準に対する、アレイ内の素子の位置の関数である。ある特定の走査線について、動的な集束を行なうためには、素子Xの位置と走査線の角度 $\theta$ は通常固定され、その範囲は時間の関数とされる。動的な集束を行なっている間、各変換器素子に必要な遅延は増大する。

【0051】本発明では、遅延の増大は読み出しアドレス・カウンタの1つを停止することを意味する。上述したように、読み出しアドレス・カウンタが停止されると、読み出しアドレスと書き込みアドレスの差が増大し、その結果データ・サンプルに与えられる遅延が増大する。それぞれの読み出しアドレス・カウンタに対する初期遅延設定は特定の変換器素子（X位置）に対する遅延と走査線角度を表わす。特定の走査線上の動的な集束に必要な遅延は対応する主集束遅延発生器82によって決定される。変換器素子の位置、走査線角度および遅延式に基づいて、各集束遅延発生器は対応する読み出しアドレス・カウンタの内容によって表わされる必要な遅延をいつ変化させなければならないかを判定し、停止コマンドを発する。停止コマンドは装置クロックと同期される。集束遅延発生器は同時係属中の「Focal Delay Generator For Digital Phased Array Ultrasound Beamformer（デジタル・フェーズド・アレイ超音波ビームフォーマ用集束遅延発生器）」（譲受人のDocket（ドケット）番号1092274）に詳細に説明され、ここに参

照のために引用されている。

【0052】前述したように、読み出しアドレス・カウンタは停止が必要でないとき4だけインクリメントされる。読み出しアドレス・カウンタの最下位の2ビットは2ポートRAM110には与えられないため、読み出しアドレス・カウンタに「4」を加えることによって2ポートRAM110内の読み出しアドレスが「1」だけインクリメントされ、加えられる遅延は固定されたままである。停止が必要な場合、読み出しアドレス・カウンタは「3」だけインクリメントされる。読み出しアドレス・カウンタの最下位の2ビットは2ポートRAM110に与えられないため、読み出しアドレス・カウンタは2ポートRAM110内の同じアドレスで停止され、それによって粗遅延が1サンプル期間だけ遅延される。後述するように、遅延補間器90は、停止コマンドが与えられたとき総遅延がサンプル・クロック期間（1遅延量）の1/4だけ変化するように、サンプル・クロック期間の何分の1かだけ遅延を調整する。

【0053】図7には主ビーム遅延84と近接ビーム遅延86の一例のブロック図を示す。主ビームと近接ビームの概念は、必要な回路構成を大幅に増大することなく同時に処理される受信ビームの数を増大させるのに用いられる。各主受信ビームはそれからわずかに角度の変位した対応する近接受信ビームを有する。この角変位は遅延の小さな差に相当する。図8に示す例では、1～4の主ビームと1～4の近接ビームを処理することができる。

【0054】主ビーム遅延84は好適には12段のシフト・レジスタ150として構成される。シフト・レジスタ150は各主ビーム内の各データ・サンプルに12クロック・サイクルの固定された遅延を加える。すべての変換器素子のデータ・サンプルに同じ固定された遅延を加えてもビームの方向付けすなわち動的な集束には効果がないことが理解されるであろう。シフト・レジスタ150は好適にはビームフォーマによって処理可能な受信ビームの数（本実施例は「1」、「2」、「3」あるいは「4」）で割ることのできる数の段を有する。

【0055】近接ビーム遅延86は通常24の記憶場所を有する2ポートRAM152を含む。線81上に2ポートRAM110（図5）によって供給されるデータ・サンプルは2ポートRAM152の書き込みデータ入力とし、シフト・レジスタ150の第1段に与えられる。近接ビームに関係する遅延は主ビームに対して12±12クロック・サイクルである。近接ビーム遅延86は主ビームに加えられた停止コマンドを取り除き、近接ビームの処理に必要な停止コマンドを与える。

【0056】書き込みアドレス制御154は2ポートRAM152の書き込みアドレス入力にインターリーブされた書き込みアドレスを供給する。また、書き込みアドレス制御154は遅延補間器90（図4）に主小遅延制

御を供給する。主集束遅延発生器82（図4）は書き込みアドレス制御154に主集束制御を供給する。読み出しアドレス制御156は2ポートRAM152の読み出しアドレス入力にインターリーブされた読み出しアドレスを供給する。また、読み出しアドレス制御156は遅延補間器92（図4）に近接小遅延制御を供給する。近接集束遅延発生器88（図4）は読み出しアドレス制御156に主集束制御を供給する。書き込みアドレス制御154と読み出しアドレス制御156は係数発生器32、34（図2）からの遅延設定を受け取る。

【0057】図8には、書き込みアドレス制御154と読み出しアドレス制御156の実施に適当な回路の一例を示す。アドレス・カウンタ160、162、164および166は4対1マルチプレクサ168に結合された出力を有し、2ポートRAM152へのインターリーブされたアドレスを提供する。書き込みアドレス制御154の場合、このインターリーブされたアドレスは書き込みアドレスであり、読み出しアドレス制御156の場合、このインターリーブされたアドレスは読み出しアドレスである。それぞれのアドレス・カウンタは受信ビームの1つに対応する。4対1マルチプレクサ168の状態は制御カウンタ170によって制御される。制御カウンタ170の状態は現在処理中の受信ビームを示すインターリーブ状態信号を表わす。したがって、線81上のデータ・サンプルが受信ビーム「0」を表わすとき、制御カウンタ170によって与えられるインターリーブ状態信号によってアドレス・カウンタ160が選択される。制御カウンタ170は処理される受信ビームを連続的に順次指定する。

【0058】アドレス・カウンタ160、162、164および166のそれぞれは2ばーとRAM152内の「24」の記憶場所に対応するMDD24カウンタおよび遅延補間のための2つの追加段を有する。それぞれのMDD24カウンタの出力は4対1マルチプレクサ168に供給される。制御カウンタ170の出力は2行/4行復号器172に供給される。2行-4行復号器172の出力はアドレス・カウンタ160、162、164および166のイネーブル入力である。それぞれのアドレス・カウンタは集束制御信号と、制御カウンタ170によって生成されるインターリーブ状態信号と同期したイネーブル信号を受け取る。主集束制御信号は書き込みアドレス制御154内のカウンタに与えられ、近接集束制御信号は読み出しアドレス制御156内のカウンタに与えられる。上述したように、集束制御信号は、イネーブルされたカウンタを「4」遅延量だけすすめて一定した遅延を生じさせるがあるいはイネーブルされたカウンタを「3」遅延量だけ進めて遅延を変化させる停止コマンドを含む。

【0059】書き込みアドレス制御154内のイネーブルされたカウンタの内容は対応する受信ビームのデータ

・サンプルと同期して 2 ポート RAM 152 の書き込みアドレス入力に与えられる。書き込みアドレス制御 154 内のカウンタは読み出しアドレス・カウンタ 120、124 および 126 (図 5) と同じ停止コマンドを受け取るため、停止コマンドはキャンセルされ、2 ポート RAM 152 に記憶されたデータは主集束制御信号の停止コマンドに関係した遅延を含まない。

【0060】また、読み出しアドレス制御 160 は図 8 に示す回路によって実施することもできる。書き込みアドレス制御 154 と読み出しアドレス制御 156 の実施は別個の回路を用いて行なわれることがわかる。アドレス・カウンタ 160、162、164 および 166 の出力は 4 対 1 マルチプレクサ 168 を介して 2 ポート RAM 152 の読み出しアドレス入力に与えられる。4 対 1 マルチプレクサ 168 は上述した制御カウンタ 170 によって生成されるインターリーブ状態信号によって制御される。読み出しアドレス制御 156 内の各カウンタは 2 ポート RAM 152 内のそれぞれの 1 記憶場所に 1 つの状態が対応する MDD 24 カウンタと遅延補間のための 2 つの追加段を有する。読み出しアドレス制御 156 内の各カウンタはインターリーブ状態信号と同期したイネーブル信号と近接集束遅延発生器 88 (図 4) からの近接集束制御信号を受け取る。近接集束制御信号は各アドレス・カウンタに対する停止コマンドを含み、インターリーブ状態信号に同期している。したがって、読み出しアドレス制御 156 内のカウンタは近接ビームに対する停止コマンドにしたがって制御される。線 110 上の 2 ポート RAM 152 の出力は「1」～「4」の近接受信ビームを表わす時間多重データ・サンプルを含む。

【0061】すなわち、主ビームに対する遅延は 2 ポート RAM 110 (図 5) によってデータ・サンプルに加えられる。2 ポート RAM 110 からのデータ・サンプルがシフト・レジスタ 150 によってさらに 12 クロック・サイクルだけ遅延されて、出力線 180 上に主ビーム・データ・サンプルが生成される。2 ポート RAM 152 とそれに関係する書き込みアドレス制御 154 および読み出しアドレス制御 156 が主ビームに必要な停止を取り除き、近接ビームに必要な停止を与えて出力線 180 上に近接ビーム・データ・サンプルを提供する。

【0062】アドレス・カウンタ 160、162、164 および 166 のそれぞれの最下位の 2 ビットは制御カウンタ 170 によって生成されるインターリーブ状態信号によって制御される 4 対 1 マルチプレクサ 184 に入力される。アドレス・カウンタ 160、162、164 および 166 のそれぞれの最下位の 2 ビットはそれぞれのビームに必要な小遅延すなわち分数遅延を表わす。4 対 1 マルチプレクサ 184 の出力は時間多重小遅延制御信号である。書き込みアドレス制御 154 の小遅延信号出力は各主ビームに加わる小遅延を表わし、遅延補間器 90 (図 4) に与えられる。読み出しアドレス制御 15

6 の小遅延信号出力は各近接ビームに加わる小遅延を表わし、遅延補間器 92 (図 4) に与えられる。

【0063】図 9 には時間多重遅延補間器のブロック図を示す。この遅延補間器はサンプリング・クロック周期より短い遅延量で量子化された異なる選択可能な遅延量を有する有限インパルス応答 (FIR) デジタル・フィルタ 196 を有する。この FIR デジタル・フィルタはフラットな振幅応答と周波数の関数としてのリニアな遅延量を持つように設計されている。FIR デジタル・フィルタに異なるフィルタ係数を適用することによって異なる遅延量が得られる。この遅延補間のための FIR デジタル・フィルタは偶数の段を有し、対称である。好適な実施例では、FIR デジタル・フィルタ 196 は 6 つの段を有し、サンプリング期間の 0 倍、 $1/4$ 、 $1/2$  および  $3/4$  の遅延量を生成する。遅延補間のための好適な FIR デジタルフィルタ 196 が同時係属中の「Delay Interpolator For Digital Phased Array Ultrasound Beamformer (デジタル・フェーズド・アレイ超音波ビームフォーマ用遅延補間器)」と題する出願 (譲受人 Docket (ドケット) 番号 1092185) に開示され、ここに参照のために引用されている。

【0064】FIR デジタル・フィルタ遅延補間器は内部フィードバックを有しないため複数の受信ビームを時間多重処理するための時間多重ビーム・フォーマに用いることができる。それぞれのビームに関するデータは FIR デジタル・フィルタ内で個別に処理される。

【0065】主ビーム遅延 84 あるいは近接ビーム遅延 86 からの時間多重データ・サンプルはインターリーブ状態信号に同期される。インターリーブ状態信号が 2 行～4 行復号器 202 によって復号されてイネーブル信号 EN1、EN2、EN3、および EN4 が提供される。これらのイネーブル信号は任意の瞬時にどのビームが処理中であることを示す。したがって、たとえば、イネーブル信号 EN1 が活動状態であるとき、データ・サンプルはビーム「0」を表わす。データ・サンプルはシフト・レジスタ 204、206、208 および 210 に並列に入力される。FIR デジタル・フィルタ 196 が 6 つの段を有する実施例では、各シフト・レジスタはそれぞれが N ビットからなる 6 つの段を有する (ここで、N は各データ・サンプル中のビットの数)。シフト・レジスタ 204、206、208 および 210 へのデータ・サンプルの移動はイネーブル信号 EN1、EN2、EN3 および EN4 によって制御される。第 1 のクロック・サイクル中には、イネーブル信号 EN1 が活動状態であり、ビーム 0 を表わすデータ・サンプルがシフト・レジスタ 204 にロードされる。第 2 のクロック・サイクル中には、イネーブル信号 EN2 が活動状態であり、ビーム 1 を表わすデータ・サンプルがシフト・レジスタ 206 にロードされる。第 3 のクロック・サイクル中には、イネーブル信号 EN3 が活動状態であり、ビーム 2 を表わす

データ・サンプルがシフト・レジスタ 208 にロードされる。第 4 のクロック・サイクル中には、イネーブル信号 EN4 が活動状態であり、ビーム 3 を表わすデータ・サンプルがシフト・レジスタ 210 にロードされる。シフトレジスタのそれぞれが 4 つの受信ビームのうちの 1 つの 6 つの連続するサンプルを含むようにこの処理が繰り返される。したがって、シフト・レジスタ 204 はビーム 0 の 6 つの連続するサンプルを含み、シフト・レジスタ 206 はビーム 1 の 6 つの連続したサンプルを含む。他も同様である。

【0066】シフト・レジスタ 204、206、208 および 210 の出力は 4 対 1 マルチプレクサ 214 に供給される。4 対 1 マルチプレクサ 214 の 4 つの入力はそれぞれ、6 つの N ビットのデータ・サンプルを含む。4 対 1 マルチプレクサ 214 はインターリーブ状態信号によって制御される。4 対 1 マルチプレクサ 214 の出力は、時間多重化された受信ビームのうちの 1 つを表わす、それぞれが N ビットからなる 6 つのデータ・サンプル A~F である。4 対 1 マルチプレクサ 214 からのデータ・サンプル A~F は FIR デジタル・フィルタ 196 の入力に供給される。フィルタ係数 CA、CB、CC、CD、CE および CF が係数記憶ユニット 216 から FIR デジタル・フィルタ 196 に供給される。係数記憶ユニット 216 はランダム・アクセス・メモリとすることができる。所望の小遅延に対応する一組の係数が、近接ビーム遅延 86 (図 4) からの小遅延制御信号によって係数記憶ユニット 216 内でアドレス指定される。所望の小遅延はそれぞれが異なるフィルタ係数群 (CA~CF) を必要とする。

【0067】FIR デジタル・フィルタ 196 において、フィルタ係数が 6 つのデータ・サンプル A~F にそれぞれ掛けられ、その結果の和から出力データ・サンプルが求められる。上述したように、遅延補間器はデータ・サンプルをサンプリング・クロック期間より短い変化量で量子化された選択された遅延量だけ遅延する。好適な実施例では、遅延補間器はサンプリング・クロック期間の 0 倍、 $1/4$ 、 $1/2$  および  $3/4$  の遅延量を生成する。したがって、FIR デジタル・フィルタ 196 の出力は最大で 4 つの受信ビームを形成するための時間多重データを含むデータサンプルのストリームである。これらのデータサンプルは整数クロック遅延 80 によって整数個のクロック・サイクルだけ遅延され、また対応する遅延補間器 90 および 92 によってサンプリング・クロック期間より短い小遅延量だけ遅延される。

【0068】図 10 には加算ユニット 24 (図 1) の一部を示す。図 10 に示す加算回路は受信ビームフォーマの 16 の処理チャンネルの出力を加算する。上述したように、通常のフェーズド・アレイ超音波変換器は 128 の変換器素子を有し、したがって受信ビームフォーマ内に 128 の処理チャンネルを必要とする場合がある。図

2 に示す好適なアーキテクチャでは、それぞれの受信器基板は変換器アレイの 16 の要素からの信号を処理し、それぞれの受信器基板はこれら 16 のチャンネルを加算するための図 10 に示す加算回路を有する。この加算回路の出力はデジタイゼーション構成のバス X バス 40 および Y バス 42 に与えられる。各受信器基板からの加算出力が同期されるようにするためにパイプライン構成が用いられる。

【0069】図 10 において、16 の処理チャンネルの出力 (時間多重遅延ユニット 22 の出力) は加算ユニット 230、232、234、および 236 によって一度に 4 つずつ加算される。加算ユニット 230、232、234、および 236 の出力はそれぞれパイプライン・レジスタ 240、242、244 および 246 を介して 4 入力加算ユニット 250 に供給される。加算ユニット 230、232、234、および 236 への各入力 は時間多重遅延ユニット 22 (図 4) の主ビーム出力 100 あるいは近接ビーム出力 102 によって表わされる時間多重化され、遅延されたデータ・サンプルのストリームである。パイプライン・レジスタ 240、242、244 および 246 はそれぞれ装置クロックによってクロックされる。加算ユニット 250 の出力はパイプライン・レジスタ 251 を介して加算ユニット 254 に供給される。加算ユニット 254 はまた前の受信器基板からのバス入力があればこれを受け取る。加算ユニット 254 へのバス入力はデジタイゼーション構成内の前のすべての処理チャンネルの加算出力を含む。加算ユニット 254 の出力は一連のパイプライン・レジスタ 260、262、264 および 266 を介して 4 対 1 マルチプレクサ 270 に供給される。パイプライン・レジスタ 262、264 および 266 の出力は 4 対 1 マルチプレクサ 270 の入力に与えられる。4 対 1 マルチプレクサ 270 はインターリーブ状態信号によって制御される。レジスタ 260、262、264 および 266 およびマルチプレクサ 270 はインターリーブ係数に応じてそれぞれの受信器基板の加算出力に 2、3 あるいは 4 クロックサイクルの遅延を挿入することを可能にする。これによって、インターリーブ係数が異なる場合にもすべての受信器基板からの出力を同期させることが可能になる。したがって、加算ユニットとの最終出力はすべての処理チャンネルのデータ・サンプルの時間同期された和を表わす。加算ユニットの出力は時間多重化されたままであり、「1」~「4」の受信ビーム上の焦点からの総受信信号強度を表わす。

【0070】図 11 には時間多重遅延ユニット 22 (図 1) の第 2 の実施例を示す。図 4 と図 11 において同じ構成要素には同じ参照符号が付されている。図 11 の実施例にはそれぞれが時間多重化された受信ビームを表わす 2 つのデータ・ストリームを生成するための 3 ポート RAM 300 が用いられる。3 ポート RAM 300



21

0は2つの異なるアドレスに対するデータの書き込みとデータの読み出しを同時に行なう能力を有する。ただし、同じアドレスに対するデータの書き込みと読み出しを同時に行なうことはできない。通常、この3ポートRAM 300は2つの異なるアドレスからの同時読み出しを可能にする2組のセンス・アンプと復号器を用いて構成される。図11の構成は最大で4つの受信ビームを表わすデータ・サンプルを含むグループ1データ・ストリームと最大で4つの受信ビームを表わすデータ・サンプルを含むグループ2データ・ストリームを生成する。グループ1のビームとグループ2のビームは前述した主ビームと近接ビームの場合と異なり、互いに対して所定のオフセット角内に入っている必要はない。ただそれぞれの受信ビームが送出された超音波エネルギーのパターン内に入っているだけでよい。

【0071】3ポートRAM 300は装置クロックと同期した書き込みアドレス・ポインタ302によってアドレス指定される。インターリーブ・カウンタ304が書き込みアドレス・カウンタ302にカウント・イネーブル信号を供給する。インターリーブ・カウンタ304は装置クロックに同期しており、所望の受信ビーム数（インターリーブ係数）に応じて装置クロック周波数を1、2、3あるいは4で分周する。書き込みアドレス・カウンタ302およびインターリーブ・カウンタ304はそれぞれ図5に示す上述した書き込みアドレス・カウンタ114およびインターリーブ・カウンタ116に対応する。

【0072】グループ1読み出しアドレス制御310が3ポートRAM 300の読み出しアドレス1入力にグループ1のインターリーブされたアドレスを供給する。また、グループ1読み出しアドレス制御310は遅延補間器90にグループ1小遅延制御を供給する。グループ1集束遅延発生器312がグループ1読み出しアドレス制御310にグループ1集束制御を供給する。グループ2読み出しアドレス制御320が3ポートRAM 300の読み出しアドレス2入力にグループ2のインターリーブされたアドレスを供給する。また、グループ2読み出しアドレス制御320は遅延補間器92にグループ2小遅延制御を供給する。グループ2集束遅延発生器322がグループ2読み出しアドレス制御320にグループ2集束制御を供給する。グループ1集束遅延発生器312およびグループ2集束遅延発生器322は図4に示す上述した集束遅延発生器82および88と同じ機能と構造を有する。

【0073】グループ1読み出しアドレス制御310およびグループ2読み出しアドレス制御320は図8に示し上述したように構成することができる。ただし、アドレスカウンタ160、162、164および166はMDD 24カウンタではない。その代わりに、グループ1読み出しアドレス制御310およびグループ2読み出し

22

アドレス制御320内のカウンタは3ポートRAM 300のアドレス入力と同じ数のビットに加えて小遅延の制御のための2つのビットを有する。たとえば、この3ポートRAM 300は1024のアドレスを有する。この場合、グループ1読み出しアドレス制御310およびグループ2読み出しアドレス制御320内のカウンタはそれぞれ12ビット、すなわち3ポートRAM 300をアドレス指定するための10ビットと小遅延の制御のための2ビットを有する。

10 【0074】3ポートRAM 300の読み出しデータ1出力は遅延補間器90にグループ1データストリームとして供給される。3ポートRAM 300の読み出しデータ2出力は遅延補間器92にグループ2データ・ストリームとして供給される。上述したように、グループ1のビームとグループ2のビームは関係付けられている必要はない。遅延補間器90および92の出力はそれぞれアポダイゼーションおよび利得制御94、96に供給される。これらの遅延補間器とアポダイゼーションおよび利得制御は図4に示した上述したものに対応する。

20 【0075】本発明の現在考えられる好適な実施例を図示および説明したが、当業者には特許請求の範囲から逸脱することなくさまざまな変更や改造が可能であることは明らかであろう。

【0076】以上本発明の各実施例について詳述したが、ここで、各実施例の理解を容易にするために、各実施例ごとに要約して以下に列挙する。

【0077】1. 超音波変換器アレイ（10）から受け取った信号を処理するための超音波ビームフォーマ（12）であって、それぞれが前記の超音波変換器アレイ（10）の素子からの信号を受け取る複数の処理チャンネル、受け取った信号をサンプリング・レート $f$ でデジタル・サンプルに変換するデジタル化手段（20<sub>1</sub>、20<sub>2</sub>、・・・、20<sub>n</sub>）、遅延係数に応じて前記のデジタル・サンプルを時間多重化した遅延量だけ遅延して2つあるいはそれ以上の受信ビームを形成するための遅延され、時間多重化されたデジタル・サンプルのストリームを生成する時間多重遅延手段（22<sub>1</sub>、22<sub>2</sub>、・・・、22<sub>n</sub>）、前記の遅延され時間多重化されたデジタル・サンプルを加算して前記の2つあるいはそれ以上の受信ビームを表わす時間多重出力サンプルのストリームを形成する加算手段（24）、前記の遅延係数を前記の各処理チャンネル内の時間多重遅延手段（22<sub>1</sub>、22<sub>2</sub>、・・・、22<sub>n</sub>）に供給する係数発生器（28）からなる超音波ビームフォーマである。

【0078】2. 前記の時間多重遅延手段は、前記のデジタル・サンプルをサンプリング期間 $1/f$ に等しい増量で量子化された選択された遅延量だけ遅延する遅延手段を有し、前記の遅延手段は前記のデジタル・サンプルを記憶するメモリ手段、前記のデジタル・サンプルを前記のメモリ手段書き込む手段、および前記のデジタル

・サンプルを前記のメモリ手段の前記の時間多重化された遅延に対応する位置から読み出す時間多重読み出し手段からなる上記1に記載の超音波ビームフォーマである。

【0079】3. 前記の読み出し手段は、処理される各受信ビームに対する読み出しカウンタからなり、各読み出しカウンタは所望の遅延に対応する前記のメモリ手段内の位置をアドレス指定する手段と各クロック・サイクル中に処理される受信ビームを表わすインターリーブ制御信号に応じて選択された読み出しカウンタの出力を前記のメモリ手段に与えるマルチプレクサ手段を含む上記2に記載の超音波ビームフォーマである。

【0080】4. 前記の時間多重遅延手段はさらに、前記の遅延されたデジタル・サンプルを処理して2つあるいはそれ以上の主ビームを形成するための時間多重デジタル・サンプルを含む第1のデータ・ストリームと2つあるいはそれ以上の近接ビームを形成するための時間多重デジタル・サンプルを含む第2のデータ・ストリームを提供する主ビームおよび近接ビーム遅延処理手段を有し、各近接ビームは対応する主ビームを有し、各近接ビームは対応する主ビームの所定の角度範囲内にある上記2に記載の超音波ビームフォーマである。

【0081】5. 前記の時間多重遅延手段はさらに、前記のデジタル・サンプルをサンプリング期間 $1/f$ より短い増量で量子化された選択された遅延量だけ遅延する遅延補間器を有する上記2に記載の超音波ビームフォーマである。

【0082】6. 前記の時間多重遅延手段、前記の加算手段、および前記の係数発生器はそれぞれ選択された数の受信ビームを処理するためのプログラム可能な手段を有する上記2に記載の超音波ビームフォーマである。

【0083】7. 前記の加算手段は第1のクロック・サイクル中に複数のチャンネル群の遅延されたデジタル・サンプルを加算して複数の中間和を提供する手段と、第2のクロック・サイクル中に前記の複数の中間和を加算して前記の複数のチャンネル群を表わす和を形成する手段を含むパイプライン構造を有する上記1に記載の超音波ビームフォーマである。

【0084】8. 前記のメモリ手段は書き込みポート、第1の読み出しポート、および第2の読み出しポートを有する3ポート・ランダム・アクセス・メモリからなり、前記の時間多重遅延手段は第1のインターリーブされたアドレスを前記の第1の読み出しポートに供給する第1の読み出しアドレス制御と第2のインターリーブされたアドレスを前記の第2の読み出しポートに供給する第2の読み出しアドレス制御を有し、前記の第1の読み出しポートは前記の第1のインターリーブされたアドレスに応じて時間多重化されたデータ・サンプルの第1のストリームを供給し、前記の第2の読み出しポートは前記の第2のインターリーブされたアドレスに応じて時

間多重化されたデータ・サンプルの第2のストリームを供給する上記2に記載の超音波ビームフォーマである。

【0085】9. 前記の第1および第2の読み出しアドレス制御はそれぞれ処理される各受信ビームに対する読み出しカウンタからなり、各読み出しカウンタは所望の遅延に対応する前記の3ポート・ランダム・アクセス・メモリ内の位置をアドレス指定する手段と各クロック・サイクル中に処理される受信ビームを表わすインターリーブ制御信号に応じて選択された読み出しカウンタの出力を前記のメモリ手段に与えるマルチプレクサ手段とを含む上記8に記載の超音波ビームフォーマである。

【0086】10. 超音波変換器アレイ(10)から受け取った信号を処理するための超音波ビームフォーマ(12)であって、それぞれが前記の超音波変換器アレイ(10)の素子からの信号を受け取る複数の処理チャンネル、受け取った信号をサンプリング・レート $f$ でデジタル・サンプルに変換するデジタル化手段であって、受け取った信号を増幅するための増幅器(62)、増幅された信号を制限するためのリミッタ(68)、制限された信号から高周波成分を除去するための低域フィルタ(70)、および制限されフィルタにかけられた信号を前記のデジタル・サンプルに変換するためのアナログ/デジタル変換器(72)からなり、前記のリミッタ(68)は前記のアナログ/デジタル変換器(72)の飽和を防止する手段を含むデジタル化手段(201, 202, ..., 20n)、前記のデジタル・サンプルを選択された遅延量だけ遅延して受信ビームを形成するための遅延されたデジタル・サンプルのストリームを生成する遅延手段(2231, 222, ..., 22n)、前記の遅延されたデジタル・サンプルを加算して前記の受信ビームを表わす出力サンプルのストリームを形成する加算手段(24)からなる超音波ビームフォーマである。

【0087】

【発明の効果】以上のよに、本発明によれば、超音波変換器アレイの素子からの信号をデジタル化手段でデジタル・サンプルに変換し時間多重化遅延ユニットでこのデジタル・サンプルを遅延係数に応じて時間多重化した遅延量だけ遅延して2またはそれ以上の受信ビームを形成し、このデジタル・サンプルを加算して受信ビームを表す時間多重出力サンプルのストリームを形成するようにしたので、超音波変換器における焦点の深さと方向を時間とともに動的に変化させることができ、走査される領域の超音波画像が得られ、血流等のカラー・ドップラ画像化および高解像度画像を比較的少ない回路構成と低コストで得ることができる。

【図面の簡単な説明】

【図1】本発明のデジタル・フェーズド・アレイ超音波ビームフォーマのブロック図である。

【図2】図1に示す超音波ビームフォーマの好適なアー



キテクチャの概略図である。

【図 3】送受信スイッチを介して変換器素子に接続された、図 1 に示す超音波ビームフォーマの処理チャンネルの 1 つのデジタル化ユニットのブロック図である。

【図 4】図 1 に示す超音波ビームフォーマの処理チャンネルの 1 つの時間多重遅延ユニットの第 1 実施例のブロック図である。

【図 5】図 4 に示す整数クロック遅延のブロック図である。

【図 6】図 5 に示す整数クロック遅延の時間多重動作を示すタイミング図である。

【図 7】図 4 に示す主ビーム遅延と近接ビーム遅延のブロック図である。

【図 8】図 7 に示す書き込みアドレス制御と読み出しアドレス制御を表わすブロック図である。

【図 9】図 4 に示す各遅延補間器を表わすブロック図である。

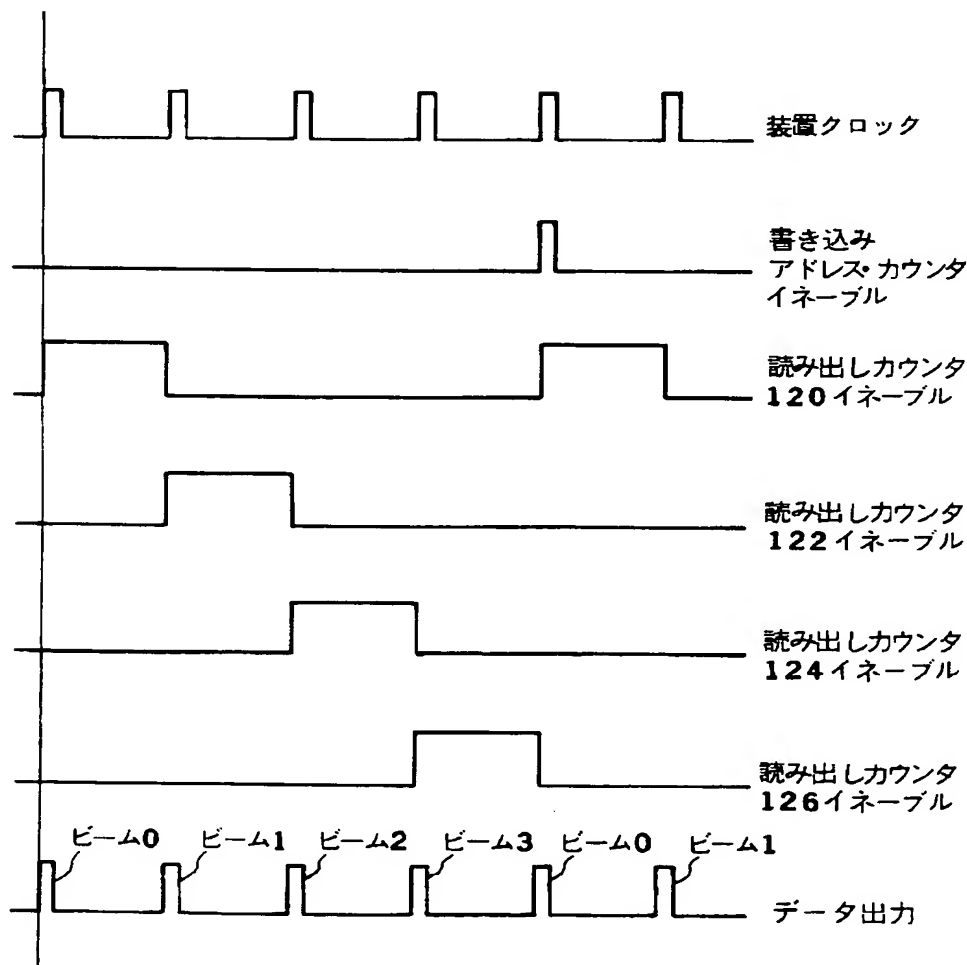
【図 10】図 1 に示す加算ユニットの一部のブロック図である。

【図 11】図 1 に示す超音波ビームフォーマの 1 つの処理チャンネルのための時間多重遅延ユニットの第 2 実施例のブロック図である。

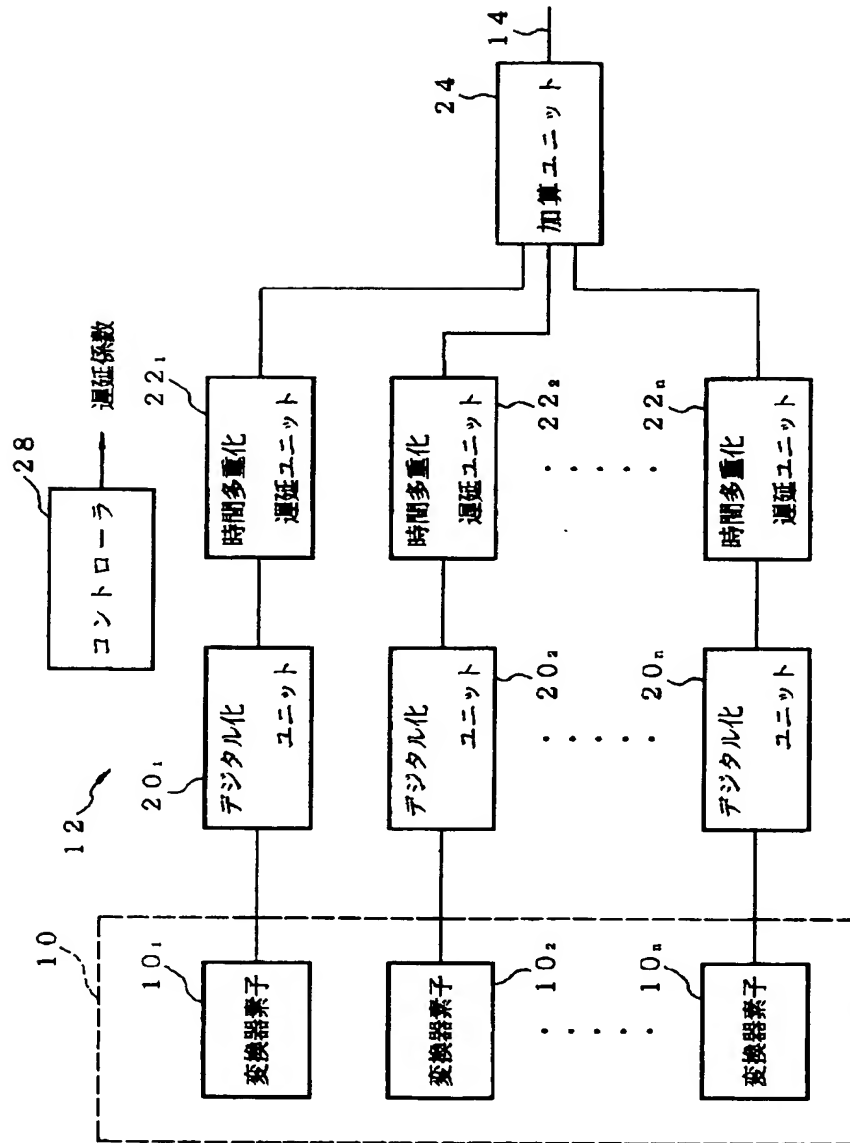
【符号の説明】

10	フェーズド・アレイ超音波変換器
10 <sub>1</sub> ~ 10 <sub>n</sub>	変換器素子
12	受信ビームフォーマ
20 <sub>1</sub> ~ 20 <sub>n</sub>	デジタル化ユニット
22 <sub>1</sub> ~ 22 <sub>n</sub>	時間多重遅延ユニット
24, 254	加算ユニット
28	コントローラ
30 <sub>1</sub> ないし 30 <sub>n</sub>	受信器基板
32, 34	係数発生器
44	制御CPU
52, 56	デマルチプレクサ

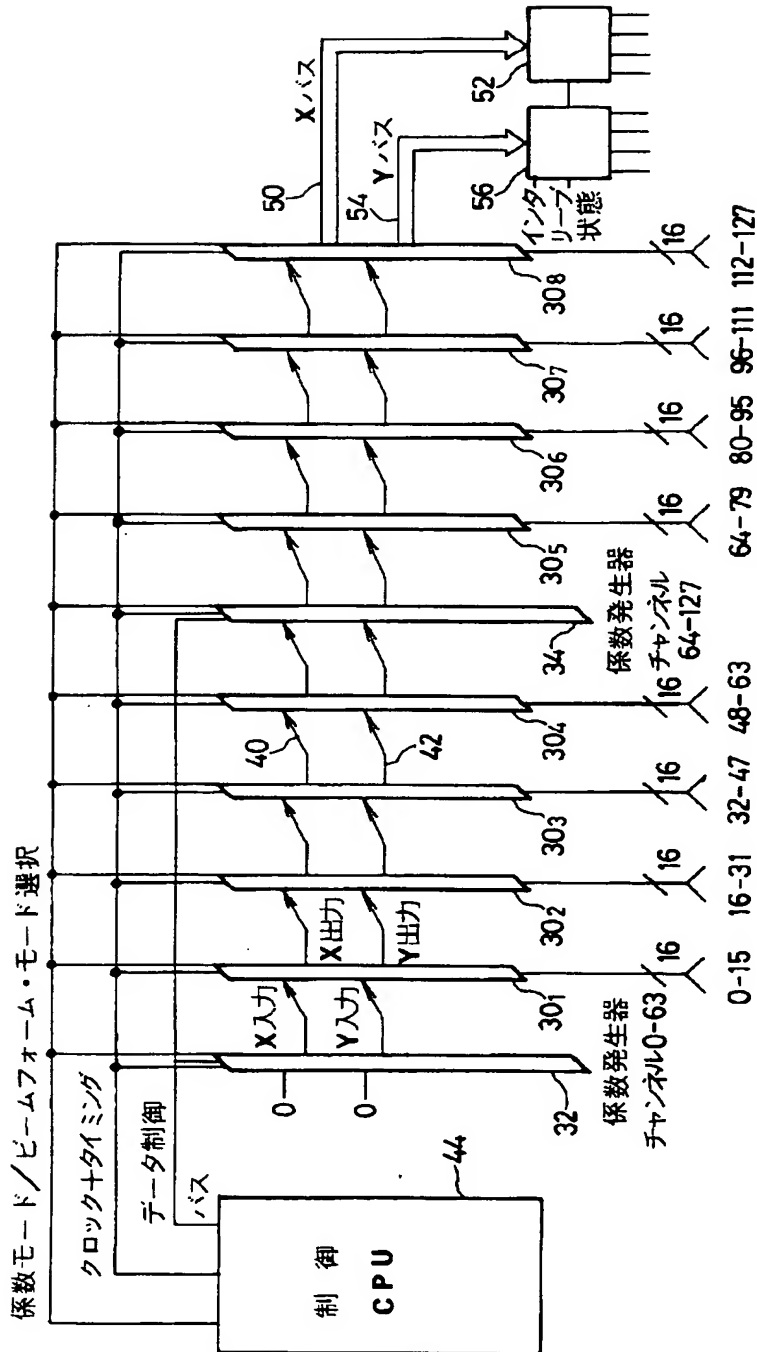
【図 6】



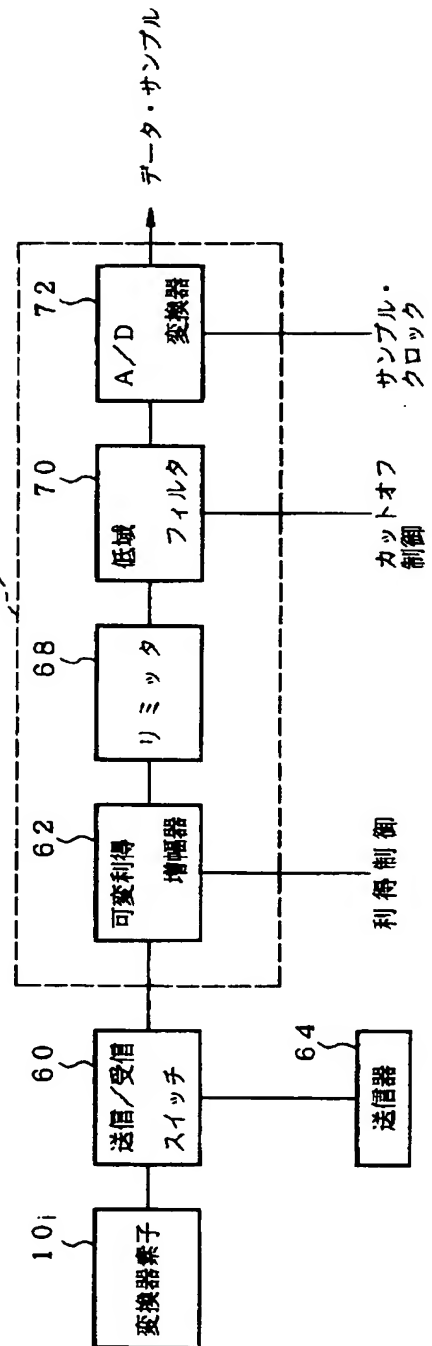
【図1】



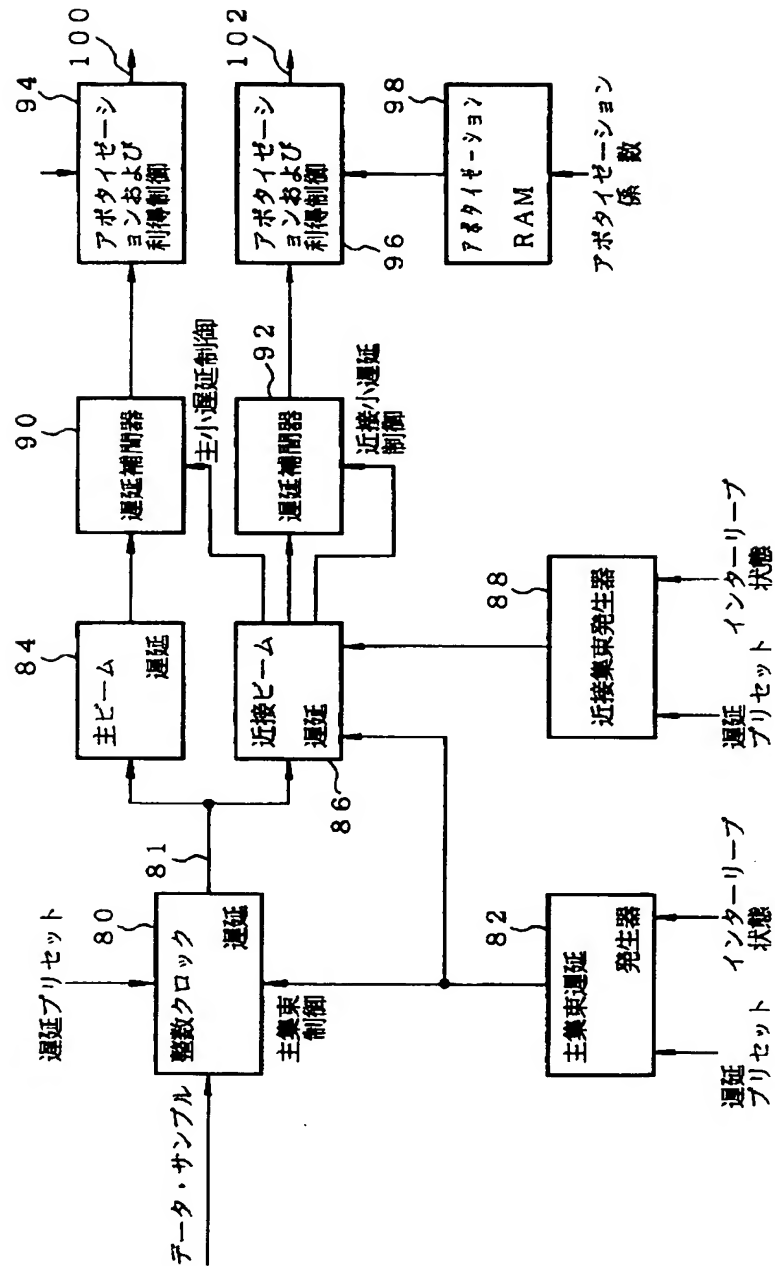
【図2】



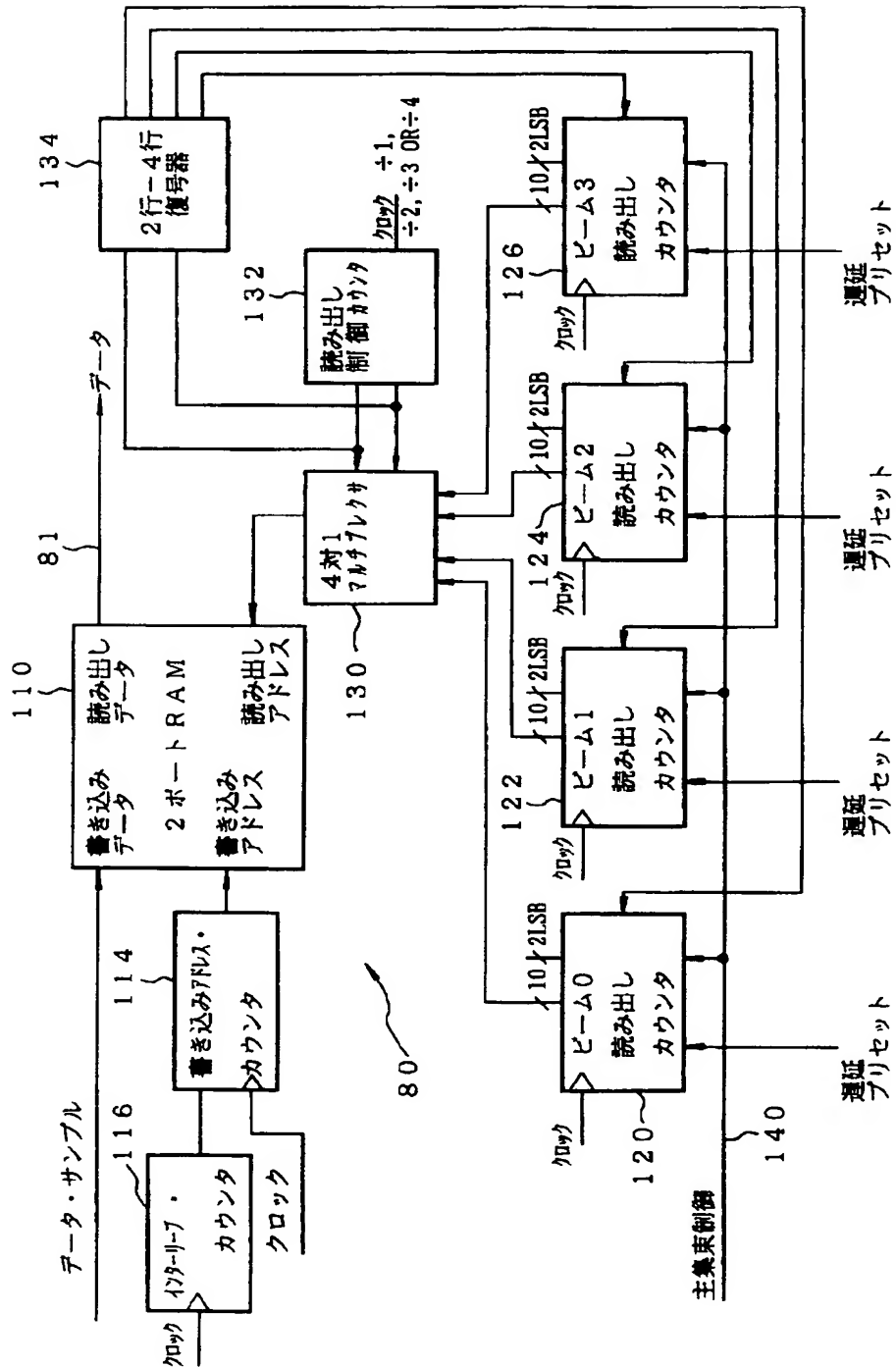
【図3】



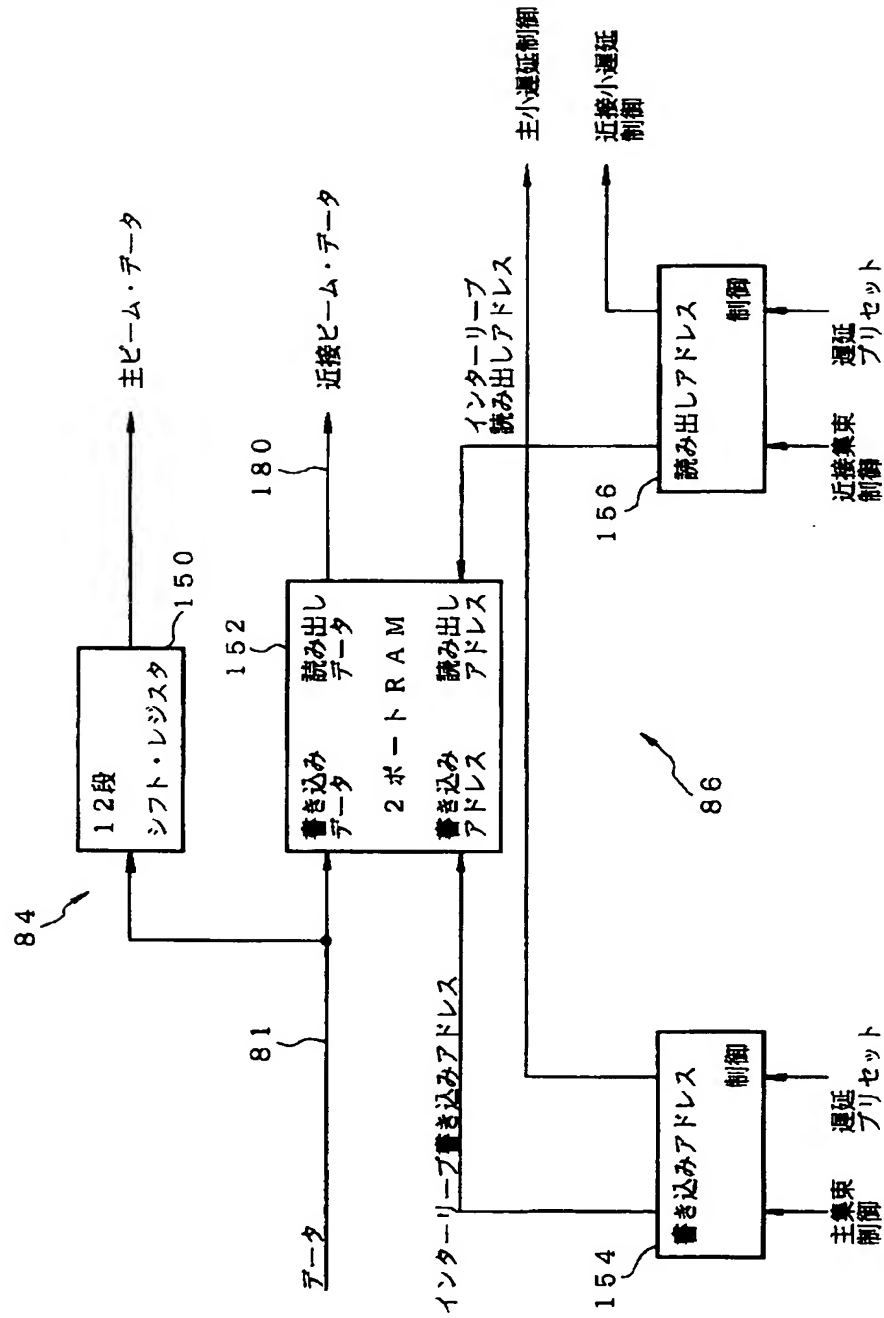
【図 4】



【図5】

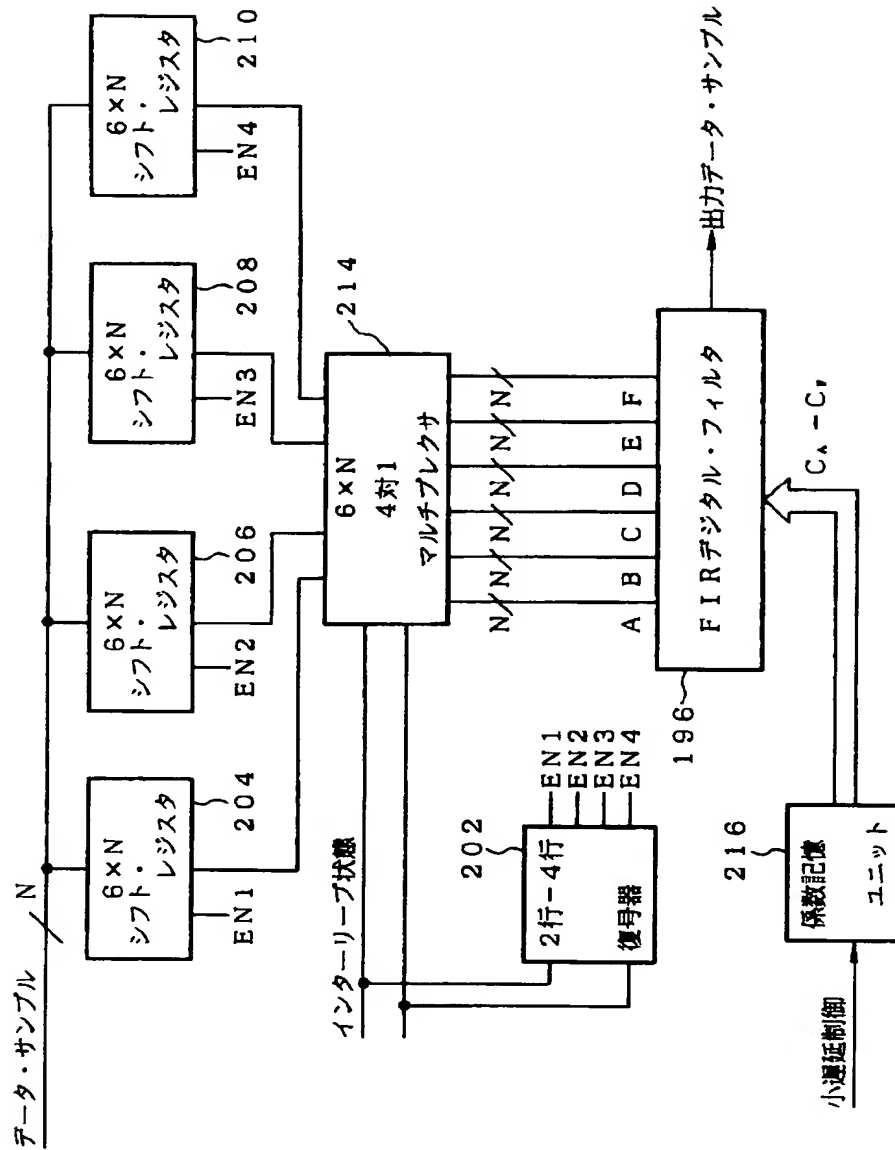


【図 7】



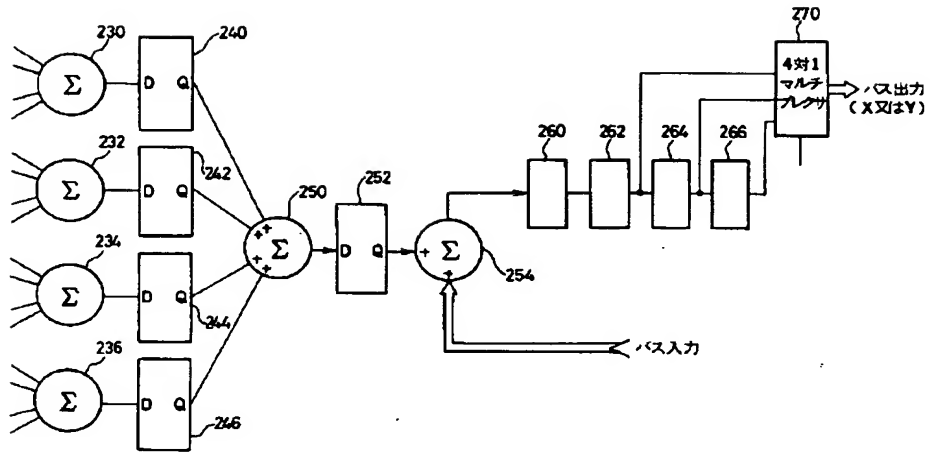


【図9】

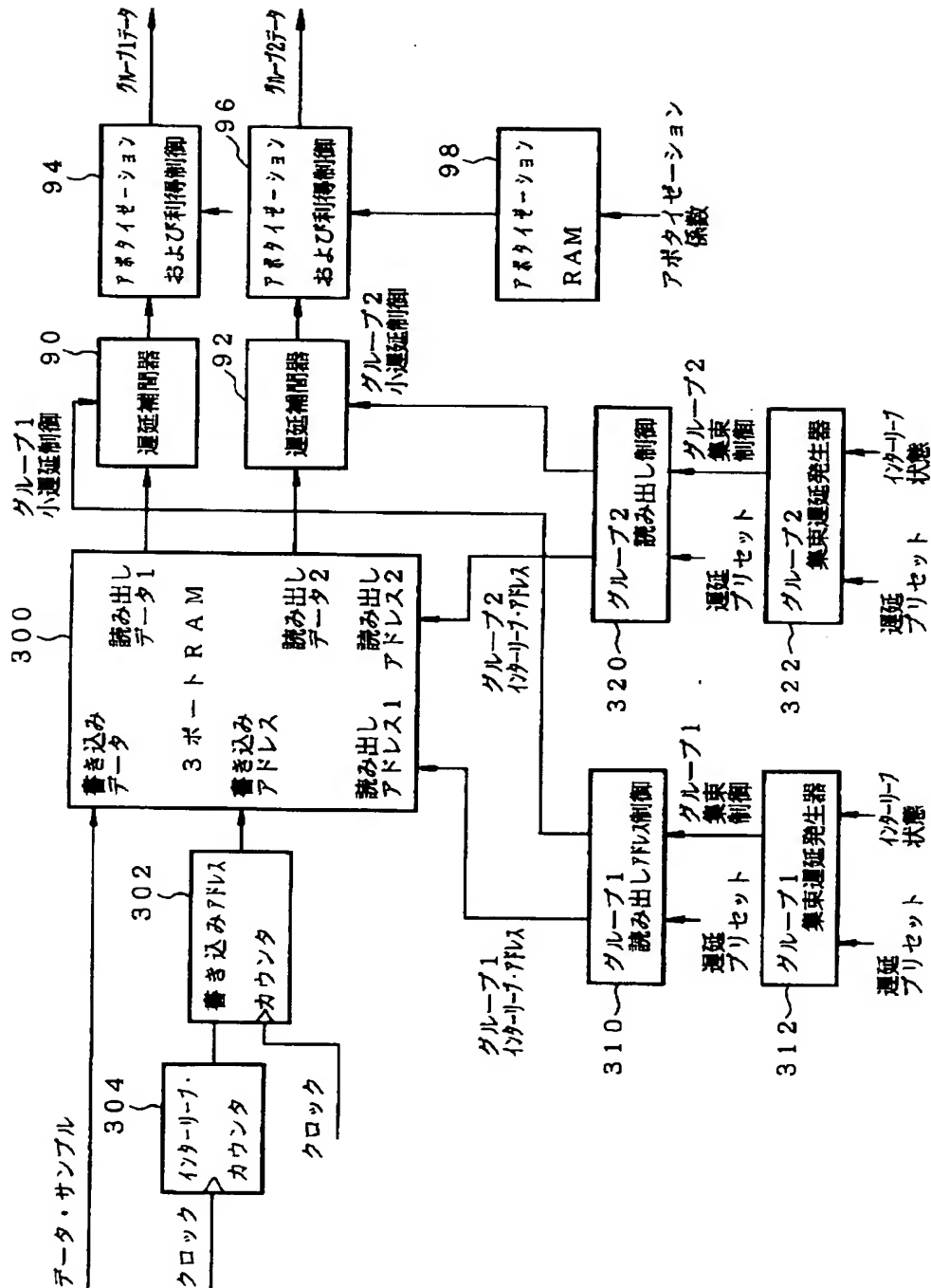




【図 10】



【図11】



フロントページの続き

(51) Int. Cl. <sup>6</sup>

G 0 3 H 3/00

識別記号

庁内整理番号

F I

技術表示箇所